

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-156621

(43)Date of publication of application : 08.06.2001

(51)Int.Cl.

H03K 19/20
G06F 3/00
G11C 11/407
G11C 11/401
H03K 19/0175
H03K 19/096

(21)Application number : 2000-282564

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.09.2000

(72)Inventor : IWATA YOSHIHISA

(30)Priority

Priority number : 11263668

Priority date : 17.09.1999

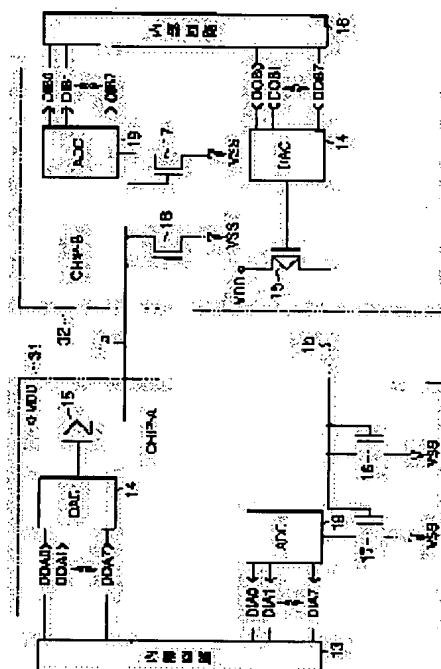
Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND DATA/SIGNAL TRANSMISSION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To transmit massive data without increasing a bus width by processing a current amount as transmission data and applying multi-level processing to current data.

SOLUTION: The semiconductor integrated circuit has an input circuit, an internal circuit and an output circuit. The input circuit has an ADC 19 that converts multi-level current data received externally into sets DIB0-DIB7 of data of a binary voltage level, the internal circuit 18 receives the sets DIB0-DIB7 from the ADC 19 and outputs sets DOB0-DOB7 of data of a binary voltage level. The output circuit has a DAC 14 that converts the sets DOB0-DOB7 outputted from the internal circuit 18 into multi-level current data and provides an output externally.



LEGAL STATUS

[Date of request for examination] 07.07.2004

[Date of sending the examiner's decision of rejection] 12.09.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3892655

[Date of registration] 15.12.2006
[Number of appeal against examiner's decision of rejection] 2006-023271
[Date of requesting appeal against examiner's decision of rejection] 12.10.2006
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-156621
(P2001-156621A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 3 K 19/20	1 0 1	H 0 3 K 19/20	1 0 1
G 0 6 F 3/00		G 0 6 F 3/00	H
G 1 1 C 11/407		H 0 3 K 19/096	A
11/401		G 1 1 C 11/34	3 6 2 S
H 0 3 K 19/0175			3 6 2 Z

審査請求 未請求 請求項の数31 O L (全 42 頁) 最終頁に続く

(21) 出願番号 特願2000-282564(P2000-282564)

(22) 出願日 平成12年9月18日 (2000.9.18)

(31) 優先権主張番号 特願平11-263668

(32) 優先日 平成11年9月17日 (1999.9.17)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岩田 佳久

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

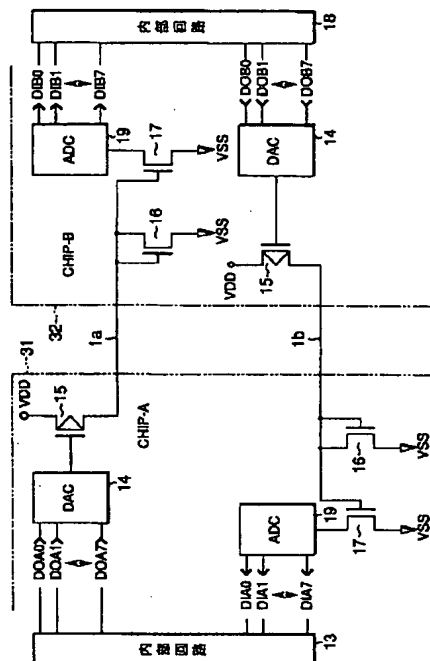
弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体集積回路装置およびデータ・信号伝送システム

(57) 【要約】

【課題】 伝送データとして電流量を取り扱い、電流データの多値化を行うことによってバス幅の増大を伴うことなく、大量のデータ伝送を可能とする。

【解決手段】 半導体集積回路は、入力回路、内部回路、および出力回路を有する。入力回路は、外部から入力される多値電流データを、2値電圧レベルのデータの集合体DIB0～DIB7に変換するA D C 19を有し、内部回路18は、A D C 19から上記集合体DIB0～DIB7を受けるとともに、2値電圧レベルのデータの集合体DOB0～DOB7を出力する。出力回路は、内部回路18から出力された上記集合体DOB0～DOB7を多値電流データに変換して外部に出力するD A C 14を有する。



【特許請求の範囲】

【請求項1】 外部から入力する多値化されている電流データを、2値電圧レベルのデータの集合体に変換するADコンバータを有するデータ入力回路と、前記データ入力回路から2値電圧レベルのデータが供給される内部回路とを具備することを特徴とする半導体集積回路装置。

【請求項2】 内部回路と、前記内部回路から供給される2値電圧レベルのデータの集合体を多値化するDAコンバータを有し、多値化された電流データを外部に出力するデータ出力回路とを具備することを特徴とする半導体集積回路装置。

【請求項3】 外部から入力する多値化されている電流データを、2値電圧レベルのデータの集合体に変換するADコンバータを有するデータ入力回路と、前記データ入力回路から2値電圧レベルのデータが供給される内部回路と、

前記内部回路から供給される2値電圧レベルのデータの集合体を多値化するDAコンバータを有し、多値化された電流データを、外部に出力するデータ出力回路とを具備することを特徴とする半導体集積回路装置。

【請求項4】 前記データ入力回路が外部データ線に接続されるノードは、前記データ出力回路が外部データ線に接続されるノードから分離されていることを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】 前記データ入力回路およびデータ出力回路は、それぞれ対応した入力スイッチ用トランジスタおよび出力スイッチ用トランジスタを介して、外部データ線接続ノードに共通に接続されていることを特徴とする請求項3に記載の半導体集積回路装置。

【請求項6】 外部から入力される、あるいは外部に出力されるクロック信号は、電流制御されたクロック信号電流であることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項7】 前記データ出力回路は、前記DAコンバータにより前記2値の電圧レベルのデータの集合体を多値化する際に、同時にクロック信号分を含ませ、クロック信号電流が重畳された電流データを外部に出力し、前記データ入力回路は、前記クロック信号電流が重畳された電流データ入力を前記ADコンバータにより2値の電圧レベルのデータの集合体に変換する際に、同時にクロック信号電流分を取り出すことを特徴とする請求項3に記載の半導体集積回路装置。

【請求項8】 前記外部から入力するクロック信号電流を、クロック信号電圧に変換するクロック信号変換回路を、さらに具備することを特徴とする請求項6に記載の半導体集積回路装置。

【請求項9】 前記ADコンバータおよびDAコンバータは、電流源としてクロック信号電流が使用されることを特徴とする請求項3に記載の半導体集積回路装置。

【請求項10】 前記電流源として使用されるクロック信号電流は、前記電流データの送受信に使用されるクロック信号電流からカレントミラーにより生成された電流であることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項11】 外部から入力する電流データを、前記ADコンバータおよびDAコンバータを介して外部に出力する動作モードと、

前記外部から入力する電流データを、前記ADコンバータおよびDAコンバータを介さず外部に出力する電流転送モードとを具備することを特徴とする請求項3に記載の半導体集積回路装置。

【請求項12】 前記クロック信号電流を外部に出力する回路として、電源ノードと接地ノードとの間に接続された基準電流源、クロック制御信号がゲートに印加される第1のトランジスタおよびドレイン・ゲートどうしが接続された第2のトランジスタ、およびこの第2のトランジスタの電流を折り返したクロック信号電流を、外部のクロック信号線に出力するカレントミラー回路を具備することを特徴とする請求項6に記載の半導体集積回路装置。

【請求項13】 前記クロック信号電流が外部から入力する回路として、ドレイン・ゲートどうしが接続され、外部のクロック信号線から入力するクロック信号電流がドレインに流入するトランジスタ、およびこのトランジスタの電流を折り返してクロック信号電流を取り出すカレントミラー回路を具備することを特徴とする請求項6に記載の半導体集積回路装置。

【請求項14】 前記DAコンバータは、基準電流源トランジスタと、前記基準電流源トランジスタに対してそれぞれカレントミラー接続され、基準電流源トランジスタの電流値に比べて 2^{n-1} 倍に重み付けされた電流値を持つようにサイズが設定された第1～第nの重み付け電流源トランジスタと、前記第1～第nの重み付け電流源トランジスタに対応して各一端が接続され、各他端は一括されて出力ノードに接続され、 2^{n-1} 倍に重み付けされた電流値を持つようにサイズが設定され、各ゲートに対応してnビットの2進電圧データのうちの最下位ビット～最上位ビットが入力する第1～第nのスイッチ用トランジスタとを具備することを特徴とする請求項2に記載の半導体集積回路装置。

【請求項15】 前記DAコンバータは、基準電流源トランジスタと、前記基準電流源トランジスタに対してそれぞれカレントミラー接続され、基準電流源トランジスタの電流値に比べて 2^{n-1} 倍に重み付けされた電流値を持つようにサイズが設定された第1～第nの重み付け電流源トランジスタと、

前記基準電流源トランジスタに対してカレントミラー接続され、基準電流源用トランジスタの電流値と等しい電流値を持つようにサイズが設定されたクロック電流源トランジスタと、

前記第1～第nの重み付け電流源トランジスタに対応して各一端が接続され、各他端は一括されて出力ノードに接続され、 2^{n-1} 倍に重み付けされた電流値を持つようにサイズが設定され、各ゲートに対応してnビットの2進電圧データのうちの最下位ビット～最上位ビットが入力する第1～第nのスイッチ用トランジスタと、
前記出力ノードと前記クロック電流源トランジスタとの間に接続され、ゲートにDA変換入力用クロック信号が入力するクロックスイッチ用トランジスタとを具備することを特徴とする請求項7に記載の半導体集積回路装置。

【請求項16】 前記DAコンバータは、基準電流源トランジスタと、
前記基準電流源トランジスタに対してそれぞれカレントミラー接続され、基準電流源トランジスタの電流値に比べて 2^n 倍に重み付けされた電流値を持つようにサイズが設定された第1～第(n+1)の重み付け電流源トランジスタと、
前記第1～第(n+1)の重み付け電流源トランジスタに対応して各一端が接続され、各他端は一括されて出力ノードに接続され、 2^n 倍に重み付けされた電流値を持つようにサイズが設定され、各ゲートに対応してnビットの2進電圧データのうちの最下位ビット～最上位ビットおよびクロックビットが入力する第1～第(n+1)のスイッチ用トランジスタとを具備することを特徴とする請求項7に記載の半導体集積回路装置。

【請求項17】 前記DAコンバータは、基準電流源トランジスタと、
前記基準電流源トランジスタに対してそれぞれカレントミラー接続され、基準電流源トランジスタの電流値に比べて 2^{n-1} 倍、 $1/2$ 倍に重み付けされた電流値を持つようにサイズが設定された第1～第(n+1)の重み付け電流源トランジスタと、
前記第1～第(n+1)の重み付け電流源トランジスタに対応して各一端が接続され、各他端は一括されて出力ノードに接続され、 2^{n-1} 倍、 $1/2$ 倍に重み付けされた電流値を持つようにサイズが設定され、各ゲートに対応してnビットの2進電圧データのうちの最下位ビット～最上位ビットおよびクロックビットが入力する第1～第(n+1)のスイッチ用トランジスタとを具備することを特徴とする請求項7に記載の半導体集積回路装置。

【請求項18】 前記DAコンバータは、比較イネーブル信号を受けて流れる基準電流の 2^{n-1} 倍に重み付けされた電流値と入力電流との大小を比較し、nビットの2進データのうちの最上位であるn番目のビットの論理レベルを決定する第1の比較回路と、

前記n番目のビットの論理レベルに応じて、入力電流から基準電流の 2^{n-1} 倍の電流値を引いたものまたは入力電流と、前記比較イネーブル信号を受けて流れる基準電流の 2^{n-2} 倍の電流との大小を比較し、前記2進データのうちのn-1番目のビットの論理レベルを決定する第2の比較回路と、

入力電流から基準電流の上位ビットの論理レベルの組み合わせに応じた倍数の電流値を引いたものまたは入力電流と、前記比較イネーブル信号を受けて流れる基準電流の 2^{n-3} 倍～1倍の電流との大小をそれぞれ対応して比較し、前記2進データのうちのn-2番目～最下位のビットの論理レベルを決定する第3の比較回路～第nの比較回路とを具備することを特徴とする請求項1に記載の半導体集積回路装置。

【請求項19】 前記ADコンバータは、比較イネーブル信号を受けて流れる基準電流の $2^{n-1}+1$ 倍に重み付けされた電流値と入力電流との大小を比較し、nビットの2進データのうちの最上位であるn番目のビットの論理レベルを決定する第1の比較回路と、

前記n番目のビットの論理レベルに応じて、前記入力電流から基準電流の 2^n 倍の電流値を引いたものまたは前記入力電流と、前記比較イネーブル信号を受けて流れる基準電流の $2^{n-2}+1$ 倍の電流との大小を比較し、前記2進データのうちのn-1番目のビットの論理レベルを決定する第2の比較回路と、

前記基準電流に対して上位ビットの論理レベルの組み合わせに応じた倍数分に相当する電流値を前記入力電流から引いたものまたは前記入力電流と、前記比較イネーブル信号を受けて流れる基準電流の $2^{n-3}+1$ 倍～ 2^0+1 倍の電流との大小をそれぞれ対応して比較し、前記2進データのうちのn-2番目～最下位のビットの論理レベルを決定する第3の比較回路～第nの比較回路と、

前記基準電流に対して前記基準電流の前記最上位～最下位ビットの論理レベルの組み合わせに応じた倍数分に相当する電流値を前記入力電流から引いたものまたは前記入力電流と、前記比較イネーブル信号を受けて流れる基準電流の1倍の電流との大小を比較し、クロック信号の論理レベルを決定するクロック信号用比較回路とを具備することを特徴とする請求項7に記載の半導体集積回路装置。

【請求項20】 前記ADコンバータは、比較イネーブル信号を受けて流れる基準電流の 2^n 倍に重み付けされた電流値と入力電流との大小を比較し、クロック信号の論理レベルを決定するクロック信号用比較回路と、
前記クロック信号を受けて流れる基準電流の (2^n+2^{n-1}) 倍に重み付けされた電流値と入力電流との大小を比較し、nビットの2進データのうちの最上位であるn番目のビットの論理レベルを決定する第1の比較回路と、

前記 n 番目のビットの論理レベルに応じて、前記入力電流から基準電流の 2^{n-1} 倍の電流値を引いたものまたは前記入力電流と、前記クロック信号を受けて流れる基準電流の $(2^n + 2^{n-2})$ 倍の電流との大小を比較し、前記2進データのうちの $n-1$ 番目のビットの論理レベルを決定する第2の比較回路と、

前記基準電流に対して上位ビットの論理レベルの組み合わせに応じた倍数分に相当する電流値を前記入力電流から引いたものまたは前記入力電流と前記クロック信号を受けて流れる基準電流の $(2^n + 2^{n-3}) \sim (2^n + 1)$ 倍の電流との大小をそれぞれ対応して比較し、前記2進データのうちの $n-2$ 番目～最下位のビットの論理レベルを決定する第3の比較回路～第 n の比較回路とを具備することを特徴とする請求項7に記載の半導体集積回路装置。

【請求項21】 前記ADコンバータは、比較イネーブル信号を受けて流れる基準電流の $2^{n-1} + 1/2$ 倍に重み付けされた電流値と入力電流との大小を比較し、 n ビットの2進データのうちの最上位である n 番目のビットの論理レベルを決定する第1の比較回路と、前記 n 番目のビットの論理レベルに応じて、前記入力電流から基準電流の 2^{n-1} 倍の電流値を引いたものまたは前記入力電流と、前記比較イネーブル信号を受けて流れる基準電流の $2^{n-1} + 1/2$ 倍の電流との大小を比較し、前記2進データのうちの $n-1$ 番目のビットの論理レベルを決定する第2の比較回路と、前記基準電流に対して上位ビットの論理レベルの組み合わせに応じた倍数分に相当する電流値を前記入力電流から引いたものまたは前記入力電流と、前記比較イネーブル信号を受けて流れる基準電流の $2^{n-1} + 1/2$ 倍～ $2^n + 1/2$ 倍の電流との大小をそれぞれ対応して比較し、前記2進データのうちの $n-2$ 番目～最下位のビットの論理レベルを決定する第3の比較回路～第 n の比較回路と、前記基準電流に対して前記最上位～最下位のビットの論理レベルの組み合わせに応じた倍数分に相当する電流値を前記入力電流から引いたものまたは前記入力電流と、前記比較イネーブル信号を受けて流れる基準電流の $1/2$ 倍の電流との大小を比較し、クロック信号の論理レベルを決定するクロック信号用比較回路とを具備することを特徴とする請求項7に記載の半導体集積回路装置。

【請求項22】 前記ADコンバータで使用する基準電流の値は、前記DAコンバータで使用する基準電流の値の $1/2$ 倍より大きく、 2 倍より小さいことを特徴とする請求項3に記載の半導体集積回路装置。

【請求項23】 前記ADコンバータおよび前記DAコンバータで使用する基準電流は、基準電流源からの基準電流を受ける互いに異なるサイズを有するトランジスタにより生成されることを特徴とする請求項22に記載の半導体集積回路装置。

【請求項24】 複数の半導体集積回路装置と、

前記複数の半導体集積回路装置をコントロールするコントロール用半導体集積回路装置とを具備し、前記複数の半導体集積回路装置と前記コントロール用半導体集積回路装置との間で、多値化されている電流データによりデータの伝送を行うことを特徴とするデータ・信号伝送システム。

【請求項25】 前記複数の半導体集積回路装置は、前記コントロール用半導体集積回路装置にデジタイゼーション接続されていることを特徴とする請求項24に記載のデータ・信号伝送システム。

【請求項26】 前記複数の半導体集積回路装置は、前記コントロール用半導体集積回路装置にスター接続されていることを特徴とする請求項24に記載のデータ・信号伝送システム。

【請求項27】 前記複数の半導体集積回路は、それぞれ外部から入力する多値化されている電流データを、2値電圧レベルのデータの集合体に変換するADコンバータを有するデータ入力回路と、このデータ入力回路から2値電圧レベルのデータが供給される内部回路とを有する半導体メモリであることを特徴とする請求項24に記載のデータ・信号伝送システム。

【請求項28】 前記複数の半導体集積回路は、それぞれ内部回路と、この内部回路から供給される2値電圧レベルのデータの集合体を多値化するDAコンバータを有し、多値化された電流データを外部に出力するデータ出力回路とを有する半導体メモリであることを特徴とする請求項24に記載のデータ・信号伝送システム。

【請求項29】 前記複数の半導体集積回路は、それぞれ外部から入力する多値化されている電流データを、2値電圧レベルのデータの集合体に変換するADコンバータを有するデータ入力回路と、このデータ入力回路から2値電圧レベルのデータが供給される内部回路と、この内部回路から供給される2値電圧レベルのデータの集合体を多値化するDAコンバータを有し、多値化された電流データを外部に出力するデータ出力回路とを有する半導体メモリであることを特徴とする請求項24に記載のデータ・信号伝送システム。

【請求項30】 前記電流データの送受信に使うクロック信号は、電流制御されていることを特徴とする請求項24に記載のデータ・信号伝送システム。

【請求項31】 前記電流データの送受信に使うクロック信号は、電圧制御されていることを特徴とする請求項24に記載のデータ・信号伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびデータ・信号伝送システムに係り、特に半導体集積回路装置間で交わされるデータまたは信号を電流量で扱うものに関するもので、例えば半導体メモリとそのコントローラが接続される伝送システムに使用されるも

のである。

【0002】

【従来の技術】複数のLSI間を接続する従来の伝送システムは、データとして電圧電位を取り扱っており、例えば半導体メモリとそのコントローラが接続される従来の伝送システムは、図56あるいは図57に示すように構成されている。

【0003】図56に示す従来の伝送システムは、複数の同期型ダイナミックメモリ(SDRAM)421を二次元に並べ、共通のメモリコントローラ420から各SDRAM 421にクロック信号Clock、アドレス信号Addressを供給するためのクロック・アドレスバス422を接続し、前記メモリコントローラ420と各行のSDRAM 421との間に対応してデータDATAを伝送するためのデータバス423を接続し、前記メモリコントローラ420から各列のSDRAM 421に対応して制御信号(RAS#1、CAS#1、WE#1、CS#1)～(RAS#4、CAS#4、WE#4、CS#4)を供給するための制御信号バス424を接続している。

【0004】上記複数のSDRAM 421をプリント基板上に、二次元に並べたメモリモジュールの構成は、データのバス幅を稼ぐことができ、比較的低速のバスで大量のデータを伝送することができる。

【0005】しかし、図56に示した伝送システムは、バス配線が多いという問題と、バスが終端されていないので反射ノイズがのりやすく、データ読み出しを高速化できないという問題がある。さらに、制御信号バス、アドレスバス、データバスの負荷が揃えられていないので、メモリコントローラから各SDRAMまでの距離に応じて、各SDRAMにおける各信号間のセットアップ/ホールド時間のタイミングが変わる。

【0006】これにより、各SDRAMにおけるタイミング余裕を短くすることができないので、各SDRAMの動作を高速化することができない。したがって、データの転送レートを上げようとする、バス幅を増やすしかなく、メモリモジュールのレイアウトが困難になり、さらに、各信号間の負荷が揃え難くなる。

【0007】一方、図57に示す従来の伝送システムは、複数のRambus型DRAM(RDRAM)331を一次元のデータ伝送路であるRambus channel(Rambus社提唱)を介して接続し、このRambus channelと外部バスとの間にメモリコントローラ330を接続し、基準電位Vrefおよびクロック信号源332からの同期クロックCTMを、Rambus channelを介して各RDRAM 331に供給するようにしたものである。なお、上記Rambus channelは、反射ノイズが起らないように終端抵抗(terminal resistance)333により終端され、バスの伝達データ信号間のスキューを抑えるため、各バスの負荷が揃えられている。

【0008】上記したような複数のRDRAM 331をプリント基板上に、一次元に並べたメモリモジュールの構成は、バス構成を単純化することができ、同期クロックを

高速化して大量のデータの送受信を行うことができる。

【0009】

【発明が解決しようとする課題】しかし、図57に示した伝送システムは、バス幅を増やす代わりに、データの送受信を高速化したので、メモリモジュール全体でのバス間のスキューの仕様が厳しく、クロックドライバのジッタも制限される。それに対応するためには、メモリモジュールのプリント基板上の配線の抵抗、インダクタンス及び配線間の相互インダクタンスを精密に制御せねばならず、コスト高に繋がる。

【0010】加えて、LSIの素子の微細化により、メモリモジュール内のLSIのトランジスタの耐圧を考慮して、出力用の電源電圧(図56参照)やバスの終端電圧VTERM(図57参照)を低下していかなるを得なくなる。すると、データの電圧振幅も低下することになり、データの誤読み出しが発生し易くなる。

【0011】上記したように比較的低速のバスで大量のデータを扱う従来の伝送システムでは、バス配線が多くなるとともにデータ読み出しを高速化できないという事情がある。

【0012】また、バス構成を単純化するとともに、同期クロックを高速化して大量のデータの送受信を行う従来の伝送システムでは、システム全体でのバス間のスキューの仕様が厳しく、クロックドライバのジッタも制限されるので、それに対応するためにコスト高に繋がるという事情がある。

【0013】さらに両者に共通の事情として、微細化に伴い、メモリモジュール内のLSIのトランジスタの耐圧を考慮し、出力用の電源電圧(図56参照)および終端電圧(図57参照)を低下させ、データの振幅を低下させると、データの誤読み出しが発生し易くなるという事情もある。

【0014】本発明は上記事情を解決すべくなされたもので、伝送データとして電流量を取り扱うことにより、伝送データとして電圧電位を取り扱う場合の事情を避けることが可能になるデータ・信号伝送システムおよび半導体集積回路装置を提供することを目的とする。

【0015】また、本発明は、電流データの多値化を行うことにより、伝送データ幅の増大を伴うことなく多値のデータ伝送を行うことが可能になり、電圧ノイズマージンが広く、LSIの素子の微細化に伴う電源電圧、外部信号線の振幅電圧の低下にも耐えることが容易になり、低速の同期クロックを伝送する場合でも大量のデータの送受信が可能となる半導体集積回路装置およびそれを用いたデータ・信号伝送システムを提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するために、この発明に係る半導体集積回路装置の第1の態様では、外部から入力する多値化されている電流データを、

10

20

30

40

50

2 値電圧レベルのデータの集合体に変換する A/D コンバータを有するデータ入力回路と、前記データ入力回路から 2 値電圧レベルのデータが供給される内部回路とを具備することを特徴とする。

【0017】また、この発明に係る半導体集積回路装置の第 2 の態様では、内部回路と、前記内部回路から供給される 2 値電圧レベルのデータの集合体を多値化する D/A コンバータを有し、多値化された電流データを外部に出力するデータ出力回路とを具備することを特徴とする。

【0018】また、この発明に係る半導体集積回路装置の第 3 の態様では、外部から入力する多値化されている電流データを、2 値電圧レベルのデータの集合体に変換する A/D コンバータを有するデータ入力回路と、前記データ入力回路から 2 値電圧レベルのデータが供給される内部回路と、前記内部回路から供給される 2 値電圧レベルのデータの集合体を多値化する D/A コンバータを有し、多値化された電流データを、外部に出力するデータ出力回路とを具備することを特徴とする。

【0019】また、この発明に係るデータ・信号伝送システムでは、複数の半導体集積回路装置と、前記複数の半導体集積回路装置をコントロールするコントロール用半導体集積回路装置とを具備し、前記複数の半導体集積回路装置と前記コントロール用半導体集積回路装置との間で、多値化されている電流データによりデータの伝送を行うことを特徴とする。

【0020】

【発明の実施の形態】まず、本発明の概要を説明する。

【0021】本発明に係るデータ伝送システムおよびそれに適合する LSI では、半導体集積回路装置間で多値化されている電流データまたは信号により、データまたは信号の伝送を行うことを特徴とする。データの電流伝送を行う場合には、基本的に送信側と受信側とが 1 対 1 であるのが望ましいので、単純に大量のデータ・信号を転送しようとする、データ線数・信号線数が増大する。

【0022】それを避けるために、電流は加算性があることに着目して、データ（電流）の多値化を行う。この電流の多値化は、電圧の多値化と比べてノイズマージンが広い。また、データ（電流）の多値化により、低速の同期クロックの伝送手段を用いる場合でも、大量のデータの送受信が可能となる。

【0023】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0024】＜第 1 実施形態＞図 1 は、第 1 実施形態に係る LSI の一部を示すブロック図である。ここでは、第 1 の LSI (CHIP-A) 11 のデータ出力回路部が電流出力、第 2 の LSI (CHIP-B) 12 のデータ入力回路部が電流入力である場合のシステム構成を簡略的に示している。

【0025】即ち、第 1 の LSI 11 のデータ出力回路部

は、内部回路 13 から出力される 2 値の電圧データを多値化する digital-to-analog converter (DAC) 14 と、この DAC 14 の出力 DACout を多値の電流値として外部データ線 1 に出力する出力バッファ用の PMOS トランジスタ 15 とを有する。

【0026】上記外部データ線 1 から多値の電流が入力する第 2 の LSI 12 のデータ入力回路部は、前記外部データ線 1 からの入力電流を受ける入力バッファ用の NMOS トランジスタ 16 と、このトランジスタ 16 にカレントミラー接続された NMOS トランジスタ 17 と、このトランジスタ 17 に流れる電流 ADCin を、2 値の電圧データに変換し、内部回路 18 に供給する analog-to-digital converter (ADC) 19 とを有する。

【0027】上記構成によれば、第 1 の LSI 11 は 2 値の電圧データを多値化した電流データを外部データ線 1 に出力し、第 2 の LSI 12 は外部データ線 1 から入力する多値化した電流データを 2 値の電圧データに変換して取り出すことが可能である。したがって、複数の LSI の間で外部データ線 1 を介して多値化した電流データを伝送可能な伝送システムを実現することができる。

【0028】＜第 2 実施形態＞図 2 は、第 2 実施形態に係る LSI の一部を示すブロック図である。ここでは、第 1 の LSI (CHIP-A) 21 のデータ出力回路部が電流入力、第 2 の LSI (CHIP-B) 22 のデータ入力回路部が電流出力である場合のシステム構成を簡略的に示している。

【0029】即ち、第 1 の LSI 21 のデータ出力回路部は、内部回路 13 から出力される 2 値の電圧データを多値化する DAC 23 と、この DAC 23 の出力を多値の電流に変換する PMOS トランジスタ 24 と、このトランジスタ 24 から多値の電流を受ける NMOS トランジスタ 25 と、このトランジスタ 25 にカレントミラー接続され、多値の電流データを外部データ線 1 から吸い込む出力バッファ用の NMOS トランジスタ 26 とを有する。

【0030】第 2 の LSI 22 のデータ入力回路部は、前記外部データ線 1 に接続され、多値の電流データを吐き出し、前記多値の電流データに応じて 2 値の電圧データに変換し、内部回路 18 に供給する ADC 27 を有する。

【0031】上記構成によれば、前述した第 1 実施形態と同様に、第 1 の LSI 21 は 2 値の電圧データを多値化した電流データを外部データ線 1 に出力し、第 2 の LSI 22 は外部データ線 1 から入力する多値化した電流データを 2 値の電圧データに変換して取り出すことが可能である。したがって、複数の LSI の間で外部データ線 1 を介して多値化した電流データを伝送可能な伝送システムを実現することができる。

【0032】＜第 3 実施形態＞図 3 は、第 3 実施形態に係る LSI の一部を示すブロック図である。ここでは、第 1 の LSI (CHIP-A) 31 および第 2 の LSI (CHIP-B) 32 は、それぞれデータ入力回路部とデータ出力回路部の二重構成を有し、データ伝送方向がそれぞれ片方向である

10

20

30

40

50

2本の外部データ線1a、1bにより接続されている場合のシステム構成を示している。

【0033】そして、各LSI 31、32は、データ入力回路が外部データ線に接続されるノードと、データ出力回路が外部データ線に接続されるノードとは別々に分離されている。

【0034】即ち、第1のLSI 31のデータ出力回路部は、図1中の第1のLSI 11のデータ出力回路部と同様に、内部回路13から出力される2値の電圧データを多値化するDAC14と、このDAC14の出力を多値の電流に変換して外部データ線1aに出力する出力バッファ用のトランジスタ15を有する。

【0035】また、第1のLSI 31のデータ入力回路部は、外部データ線1bに接続され、図1中の第2のLSI 12のデータ入力回路部と同様に、多値の電流入力に応じて電流が流れる入力バッファ用のトランジスタ16、17と、多値の電流を2値の電圧データに変換して内部回路13に供給するADC19を有する。

【0036】一方、第2のLSI 32のデータ入力回路部は、外部データ線1aに接続され、前記第2のLSI 31のデータ入力回路部と同様に、多値の電流入力に応じて電流が流れる入力バッファ用のトランジスタ16、17と、多値の電流を2値の電圧データに変換して内部回路18に供給するADC19を有する。

【0037】また、第2のLSI 32のデータ出力回路部は、前記第1のLSI 31のデータ出力回路部と同様に、内部回路18から出力される2値の電圧データを多値化するDAC14と、このDAC14の出力を多値の電流に変換して外部データ線1bに出力する出力バッファ用のトランジスタ15を有する。

【0038】上記構成によれば、複数のLSIの間で2本の外部データ線1a、1bを別々に使用して多値化した電流データを双方向に伝送可能な伝送システムを実現することができる。

【0039】＜第4実施形態＞図4は、第4実施形態に係るLSIの一部を示すブロック図である。ここでは、第1のLSI (CHIP-A) 41および第2のLSI (CHIP-B) 42は、それぞれデータ入力回路部とデータ出力回路部の二重構成を有し、データ伝送方向が双方向である外部データ線1により接続されている場合のシステム構成を示している。

【0040】ここで、第1のLSI 41のデータ入力回路部およびデータ出力回路部は、対応して入力イネーブル信号WEA、出力イネーブル信号の反転信号/OEAにより活性／非活性状態が制御され、第2のLSI 42のデータ入力回路部およびデータ出力回路部は、対応して入力イネーブル信号WEB、出力イネーブル信号の反転信号/OEBにより活性／非活性状態が制御される。

【0041】そして、各LSI 41、42は、データ入力回路およびデータ出力回路は、それぞれ対応して入力スイ

ッチ用トランジスタ44、47および出力スイッチ用トランジスタ43、46を介して外部データ線接続ノードNcに共通に接続されている。

【0042】即ち、第1のLSI 41のデータ出力回路部は、図3中の第1のLSI 31のデータ出力回路部と同様の構成を有し、出力イネーブル信号の反転信号/OEAにより活性／非活性状態が制御される出力スイッチ用のPMOSTランジスタ43を介して外部データ線1に接続されている。

【0043】また、第1のLSI 41のデータ入力回路部は、図3中の第1のLSI 31のデータ入力回路部と同様の構成を有し、入力イネーブル信号WEAにより活性／非活性状態が制御される入力スイッチ用のNMOSTランジスタ44を介して外部データ線1に接続されている。なお、トランジスタ17とADC19との間にも、入力イネーブル信号WEAにより活性／非活性状態が制御されるスイッチ用のNMOSTランジスタ45が挿入されている。

【0044】そして、第2のLSI 42のデータ出力回路部は、第1のLSI 41のデータ出力回路部と同様の構成を有するが、外部データ線1に接続されている出力スイッチ用のPMOSTランジスタ46は、出力イネーブル信号の反転信号/OEBにより活性／非活性状態が制御される。

【0045】また、第2のLSI 42のデータ入力回路部は、第1のLSI 41のデータ入力回路部と同様の構成を有するが、外部データ線1に接続されている入力スイッチ用のNMOSTランジスタ47は、入力イネーブル信号WEBにより活性／非活性状態が制御される。また、トランジスタ17とADC19との間に挿入されている入力スイッチ用のNMOSTランジスタ48も、入力イネーブル信号WEBにより活性／非活性状態が制御される。

【0046】なお、上記各LSI 41、42は、コントローラ側のLSI (図示せず) から供給される制御信号とアドレス信号を図1に示したような回路で受け、それをデコードして前記制御信号 (WEA、/OEA)、(WEB、/OEB) を生成するように構成されている。

【0047】上記構成によれば、複数のLSIの間で1本の外部データ線1を共通に使用して多値化した電流データを双方向に伝送可能な伝送システムを実現することができる。

【0048】＜第5実施形態＞図5は、第5実施形態に係る伝送システムを示すブロック図である。

【0049】ここでは、複数のDRAM 52が1個のメモリコントローラ 51にデジチェーン接続(daisy chain connected)され、メモリコントローラ 51が外部バス50に接続される場合のシステム構成を示している。

【0050】上記デジチェーン接続は、Source Synchronous Strobe方式が採用されている。つまり、クロック信号として、基本クロック信号CLKと、データの送受信に使う(送信側からデータの送信に合わせて受信側

に出力する) ストローブ信号STROBEを用いる。本例では、クロック信号源(クロックソース) 53からコントローラ51とDRAM52に基本クロック信号CLKが供給される。

【0051】本例では、データ伝送方向が単方向の2本のデータ線(入力用データ線54あるいは出力用データ線55)を用い、伝送方向が双方向のストローブ信号線56を1本用いており、メモリコントローラ51とDRAM52との間でデータを双方向に伝送する場合を示している。また、DRAM52の一部分、例えばその入出力回路の部分

は、図1～図3のいずれかに示した回路と、同様の構成を有する。

【0052】図6は、図5の伝送システムの動作の一例を示す波形図である。

【0053】クロック信号電圧CLK(V)に同期したストローブ信号電圧STROBE(V)による送受信の制御によって、入力用データ線54からの多値化された入力電流データInput(A)の電流入力および多値化された出力電流データOutput(A)の出力用データ線55への電流出力が行われる。

【0054】<第6実施形態>図7は、第6実施形態に係る伝送システムを示すブロック図である。

【0055】この伝送システムは、図5に示した第5実施形態に係る伝送システムと比べて、ストローブ信号線として伝送方向が単方向の2本ストローブ信号線61、62を用いている点が異なり、その他は同じである。

【0056】<第7実施形態>図8は、第7実施形態に係る伝送システムを示すブロック図である。

【0057】この伝送システムは、図7に示した第6実施形態に係る伝送システムと比べて、データ線として双方向の1本のデータ線71を用いている点異なる。そして、また、DRAM52の一部分、例えばその入出力回路の部分

は、図4に示した回路と、同様の構成を有する。その他は、第6実施形態に同じである。

【0058】図9は、図8の伝送システムの動作の一例を示す波形図である。

【0059】クロック信号電圧CLK(V)に同期した入力制御用のストローブ信号電圧I-STROBE(V)によって、双方向データ線71からの多値化された入力データInput(A)の電流入力が行われ、出力制御用のストローブ信号電圧O-STROBE(V)によって、多値化された出力電流データOutput(A)の双方向データ線71への電流出力が行われる。

【0060】<第8実施形態>図10は、第8実施形態に係る伝送システムを示すブロック図である。

【0061】ここでは、複数のDRAM102が1個のメモリコントローラ101にスター接続(star connected)され、上記メモリコントローラ101が外部バス100に接続されている場合の伝送システムの構成を示している。

【0062】上記スター接続には、Source Synchronous Strobe方式が採用されている。つまり、マスタ(メモリコントローラ) 101と複数のDRAM102とのバスは、

1対1であり、クロック信号として、基本クロック信号と、データの送受信に使うストローブ信号STROBEを使用する。本例では、クロック信号源103からメモリコントローラ101とDRAM102にクロック信号電圧が供給される。また、メモリコントローラ101とDRAM102との間のバス接続は、単方向の2本のデータ線104、105、双方向の1本のストローブ信号線106を用いる場合を示している。また、DRAM102の一部分、例えばその入出力回路の部分

は、図1～図3のいずれかに示した回路と、同様の構成を有する。

【0063】なお、上記した第5実施形態～第8実施形態の伝送システムでは、クロック信号もストローブ信号も電圧駆動の例を示したが、クロック信号もストローブ信号も電流駆動を行うように変更してもよい。

【0064】<第9実施形態>第9実施形態は、本発明に係る伝送システムに適合するLSIのデータ出力回路部に設けられるDACに関する。

【0065】図11は、第9実施形態に係るDACの一例を示す回路図である。なお、図11には、例えば8ビットの2進電圧データ(binary voltage data)D07～D00を、10進電流データ(denary current data)DACoutに変換するDACの一例が示されている。

【0066】図11に示すように、基準電流源(reference current source)用のNMOSトランジスタN0に対して、8個の重み付け電流源(weight current source)用のNMOSトランジスタN1～N8がカレントミラー接続されている。上記重み付け電流源用のNMOSトランジスタN1～N8はそれぞれ、基準電流源用のNMOSトランジスタN0の電流値に比べて、1倍、2倍、4倍、…、64倍、128倍の電流値を持つようにサイズ(W1、…、W8×128)が設定されている。

【0067】上記NMOSトランジスタN1～N8に対応してスイッチ用のNMOSトランジスタS1～S8の各一端が接続されており、上記NMOSトランジスタS1～S8の各他端は一括されて負荷用のPMOSトランジスタPLを介して電源ノードに接続されている。上記NMOSトランジスタS1～S8は、前記NMOSトランジスタN0の電流値を基準として、1倍、2倍、4倍、…、64倍、128倍の電流値を持つようにサイズ(W0、…、W0×128)が設定されている。

【0068】上記NMOSトランジスタS1～S8のゲートにはそれぞれ、8ビットの2進電圧データの、最下位ビットD00から最上位ビットD07がそれぞれ入力される。これにより、図11に示すDACは、上記NMOSトランジスタS1～S8の一括接続ノードに流れるDA変換出力電流DACoutを吸い込むように動作する。

【0069】即ち、図11に示したDACは、基準電流源トランジスタ(N0)と、前記基準電流源トランジスタ(N0)に対してそれぞれカレントミラー接続され、基準電流源トランジスタ(N0)の電流値に比べて2ⁿ⁻¹倍に重み付

けされた電流値を持つようにサイズが設定された第1～第nの重み付け電流源トランジスタ(N1～N8)と、前記第1～第nの重み付け電流源トランジスタに対応して各一端が接続され、各他端は一括されて出力ノードに接続され、 2^{n-1} 倍に重み付けされた電流値を持つようにサイズが設定され、各ゲートに対応してnビットの2進電圧データの、最下位ビットD00～最上位ビットD0nが入力する第1～第nのスイッチ用トランジスタ(S1～S8)とを具備することを特徴とするものである。

【0070】なお、一般に、伝送システムの入力側と出力側で、基準電流の値を合わせておく必要があるが、基準電流の値が合っていないくても変換量が分かっている問題は無い。ただし、本例では、入力側と出力側で、基準電流が同じであるものと想定する。

【0071】＜第10実施形態＞第9実施形態は、本発明に係る伝送システムに適合するLSIのデータ入力回路部に設けられるADCに関する。

【0072】図12、図13および図14はそれぞれ、第10実施形態に係るADCの一例を示す回路図である。なお、図12、図13および図14には、10進電流データ(denary current data)ADCinを、8ビットの2進電圧データDI7～DI0に変換するADC（逐次比較型ADC）の一例が示されている。そして、図12には1個のADCのうち、2進電圧データDI7～DI0の、最上位ビットDI7～ビットDI4を変換する回路が、図13にはビットDI3、DI2を変換する回路が、図14にはビットDI1、DI0を変換する回路がそれぞれ示されている。

【0073】図12、図13および図14に示すように、PMOSTランジスタP0は、ソースが電源ノードに接続され、ゲート・ドレインどうしが接続され、ドレインに入力電流ADCinが印加される。PMOSTランジスタP8～P1は、それぞれ上記PMOSTランジスタP0と同じサイズ(W1)を有し、上記PMOSTランジスタP0に対してカレントミラー接続されている。これにより、PMOSTランジスタP8～P1は、入力電流ADCinと等しい電流を流す。

【0074】一方、基準電流源用のNMOSTランジスタN0に対して、複数個の重み付け電流源用のNMOSTランジスタN8～N1がカレントミラー接続されている。上記複数個の重み付け電流源用のNMOSTランジスタN8～N1は、基準電流源用のNMOSTランジスタN0の電流値に比べて、128倍、64倍、32倍、16倍、8倍、4倍、2倍、1倍のいずれかの電流値を持つようにサイズ(Wi×128、…、Wi)が設定されている。

【0075】2進電圧データDI7～DI0の、最上位ビットDI7がゲートに印加されるNMOSTランジスタS8は、基準電流の128倍の電流値を持つようにサイズ(W0×128)が設定されている。同様に、ビットDI6がゲートに印加されるNMOSTランジスタS7は、基準電流の64倍の電流値を持つようにサイズ(W0×64)が設定されている。同

様に、ビットDI5がゲートに印加されるNMOSTランジスタS6は、基準電流の32倍の電流値を持つようにサイズ(W0×32)が設定されている。同様に、ビットDI4がゲートに印加されるNMOSTランジスタS5は、基準電流の16倍の電流値を持つようにサイズ(W0×16)が設定されている。同様に、ビットDI3がゲートに印加されるNMOSTランジスタS4は、基準電流の8倍の電流値を持つようにサイズ(W0×8)が設定されている。同様に、ビットDI2がゲートに印加されるNMOSTランジスタS3は、基準電流の4倍の電流値を持つようにサイズ(W0×4)が設定されている。同様に、ビットDI1がゲートに印加されるNMOSTランジスタS2は、基準電流の2倍の電流値を持つようにサイズ(W0×2)が設定されている。

【0076】比較イネーブル信号enがゲートに印加されるNMOSTランジスタC8～C1は、基準電流の128倍、64倍、32倍、16倍、8倍、4倍、2倍、1倍のいずれかの電流値を持つようにサイズ(W0×128、…、W0)が設定されている。

【0077】図12に示す第1の比較回路COMP1は、電源ノードと接地ノードとの間に直列に接続された、入力電流を流すPMOSTランジスタP8、ゲートに信号enが印加されるNMOSTランジスタC8および基準電流の128倍の電流を流すNMOSTランジスタN8と、前記PMOSTランジスタP8のドレインの電位を2値レベル(binary level)に変換する増幅回路A8とからなる。

【0078】これにより、第1の比較回路COMP1は、信号enを受けて流れる基準電流の128倍の電流と入力電流との大小を比較し、2進データDI7～DI0のうち、最上位ビットDI7の論理レベルを決定する。

【0079】図12に示す第2の比較回路COMP2は、前記第1の比較回路COMP1と比べて、PMOSTランジスタP8がP7に、NMOSTランジスタC8がS8に、増幅回路A8がA7にそれぞれ変更され、さらに前記PMOSTランジスタP7のドレインと接地ノードとの間に、ゲートに信号enが印加されるNMOSTランジスタC7および基準電流の64倍の電流を流すNMOSTランジスタN7が直列に接続されている点が異なり、その他は同じである。

【0080】即ち、第2の比較回路COMP2は、電源ノードと接地ノードとの間に、入力電流を流すPMOSTランジスタP7、ゲートにビットDI7が印加されるNMOSTランジスタS8および基準電流の128倍の電流を流すNMOSTランジスタN8が直列に接続されている。さらに前記PMOSTランジスタP7のドレインと接地ノードとの間に、ゲートに信号enが印加されるNMOSTランジスタC7および基準電流の64倍の電流を流すNMOSTランジスタN7が直列に接続されており、前記PMOSTランジスタP7のドレインの電位を2値レベルに変換する増幅回路A8とからなる。

【0081】これにより、第2の比較回路COMP2は、ビットDI7が“HIGH”の場合には、入力電流から基準電流

の128倍を引いたものと信号enを受けて流れる基準電流の64倍の電流とを比較し、ビットDI7が“LOW”の場合には、入力電流と信号enを受けて流れる基準電流の64倍の電流とを比較して、2進データDI7~DI0のうち、ビットDI6の論理レベルを決定する。

【0082】図12に示す第3の比較回路COMP3は、前記第2の比較回路COMP2と比べて、PMOSトランジスタP7がP6に、NMOSトランジスタC7がS7に、増幅回路A7がA6にそれぞれ変更され、さらに前記PMOSトランジスタP6のドレインと接地ノードとの間に、ゲートに信号enが印加されるNMOSトランジスタC6および基準電流の32倍の電流を流すNMOSトランジスタN6が直列に接続されている点が異なり、その他は同じである。

【0083】これにより、第3の比較回路COMP3は、ビットDI7、DI6がそれぞれ“HIGH”の場合には、入力電流から基準電流の128倍および64倍を引いたものと信号enを受けて流れる基準電流の32倍の電流とを比較し、ビットDI7、DI6がそれぞれ“LOW”の場合には、入力電流と信号enを受けて流れる基準電流の32倍の電流とを比較し、2進データDI7~DI0のうち、ビットDI5の論理レベルを決定する。

【0084】図12に示す第4の比較回路COMP4は、前記第3の比較回路COMP3と比べて、PMOSトランジスタP6がP5に、NMOSトランジスタC6がS6に、増幅回路A6がA5にそれぞれ変更され、さらに前記PMOSトランジスタP5のドレインと接地ノードとの間に、ゲートに信号enが印加されるNMOSトランジスタC5および基準電流の16倍の電流を流すNMOSトランジスタN5が直列に接続されている点が異なり、その他は同じである。

【0085】これにより、第4の比較回路COMP4は、ビットDI7~DI5がそれぞれ“HIGH”の場合には、入力電流から基準電流の128倍、64倍および32倍を引いたものと信号enを受けて流れる基準電流の16倍の電流とを比較し、ビットDI7~DI5がそれぞれ“LOW”の場合には、入力電流と信号enを受けて流れる基準電流の16倍の電流とを比較し、2進データDI7~DI0のうち、ビットDI4の論理レベルを決定する。

【0086】図13に示す第5の比較回路COMP5は、前記第4の比較回路COMP4と比べて、PMOSトランジスタP5がP4に、NMOSトランジスタC5がS5に、増幅回路A5がA4にそれぞれ変更され、さらに前記PMOSトランジスタP4のドレインと接地ノードとの間に、ゲートに信号enが印加されるNMOSトランジスタC4および基準電流の8倍の電流を流すNMOSトランジスタN4が直列に接続されている点が異なり、その他は同じである。

【0087】これにより、第5の比較回路COMP5は、ビットDI7~DI4がそれぞれ“HIGH”の場合には、入力電流から基準電流の128倍、64倍、32倍および16倍を引いたものと信号enを受けて流れる基準電流の8倍の電流とを比較し、ビットDI7~DI4がそれぞれ“LOW”の場合に

は、入力電流と信号enを受けて流れる基準電流の8倍の電流とを比較し、2進データDI7~DI0のうち、ビットDI3の論理レベルを決定する。

【0088】図13に示す第6の比較回路COMP6は、前記第5の比較回路COMP5と比べて、PMOSトランジスタP4がP3に、NMOSトランジスタC4がS4に、増幅回路A4がA3にそれぞれ変更され、さらに前記PMOSトランジスタP3のドレインと接地ノードとの間に、ゲートに信号enが印加されるNMOSトランジスタC3および基準電流の4倍の電流を流すNMOSトランジスタN3が直列に接続されている点が異なり、その他は同じである。

【0089】これにより、第6の比較回路COMP6は、ビットDI7~DI3がそれぞれ“HIGH”の場合には、入力電流から基準電流の128倍、64倍、32倍、16倍および8倍を引いたものと信号enを受けて流れる基準電流の4倍の電流とを比較し、ビットDI7~DI3がそれぞれ“LOW”の場合には、入力電流と信号enを受けて流れる基準電流の4倍の電流とを比較し、2進データDI7~DI0のうち、ビットDI2の論理レベルを決定する。

【0090】図14に示す第7の比較回路COMP7は、前記第6の比較回路COMP6と比べて、PMOSトランジスタP3がP2に、NMOSトランジスタC3がS3に、増幅回路A3がA2にそれぞれ変更され、さらに前記PMOSトランジスタP2のドレインと接地ノードとの間に、ゲートに信号enが印加されるNMOSトランジスタC2および基準電流の2倍の電流を流すNMOSトランジスタN2が直列に接続されている点が異なり、その他は同じである。

【0091】これにより、第7の比較回路COMP7は、DI7~DI2がそれぞれ“HIGH”の場合には、入力電流から基準電流の128倍、64倍、32倍、16倍、8倍および4倍を引いたものと信号enを受けて流れる基準電流の2倍の電流とを比較し、ビットDI7~DI2がそれぞれ“LOW”の場合には、入力電流と信号enを受けて流れる基準電流の2倍の電流とを比較し、2進データDI7~DI0のうち、ビットDI1の論理レベルを決定する。

【0092】図14に示す第8の比較回路COMP8は、前記第7の比較回路COMP7と比べて、PMOSトランジスタP2がP1に、NMOSトランジスタC2がS2に、増幅回路A2がA1にそれぞれ変更され、さらに前記PMOSトランジスタP1のドレインと接地ノードとの間に、ゲートに信号enが印加されるNMOSトランジスタC1および基準電流の1倍の電流を流すNMOSトランジスタN1が直列に接続されている点が異なり、その他は同じである。

【0093】これにより、第8の比較回路COMP8は、ビットDI7~DI1がそれぞれ“HIGH”の場合には、入力電流から基準電流の128倍、64倍、32倍、16倍、8倍、4倍および2倍を引いたものと信号enを受けて流れる基準電流の1倍の電流とを比較し、ビットDI7~DI1がそれぞれ“LOW”の場合には、入力電流と信号enを受けて流れる基準電流の1倍の電流とを比較し、2進データDI7~DI0のう

10

20

30

40

50

ち、最下位ビットDIOの論理レベルを決定する。

【0094】即ち、図12～図14に示すADCは、比較イネーブル信号enを受けて流れる基準電流の 2^{n-1} 倍に重み付けされた電流値と入力電流との大小を比較し、nビットの2進データのうちの最上位であるn番目のビットの論理レベルを決定する第1の比較回路COMP1と、前記n番目のビットの論理レベルに応じて、入力電流から基準電流の 2^{n-1} 倍の電流値を引いたものまたは入力電流と、前記比較イネーブル信号を受けて流れる基準電流の 2^{n-2} 倍の電流との大小を比較し、前記2進データのうちのn-1番目のビットの論理レベルを決定する第2の比較回路COMP2と、入力電流から基準電流の上位ビットの論理レベルの組み合わせに応じた倍数の電流値を引いたものまたは入力電流と、前記比較イネーブル信号を受けて流れる基準電流の 2^{n-1} 倍～1倍の電流との大小をそれぞれ対応して比較し、前記2進データのうちのn-2番目～最下位ビットの論理レベルを決定する第3の比較回路COMP3～第nの比較回路COMPnとを具備することを特徴とするものである。

【0095】図15は、図11に示すDAC、あるいは図12、図13および図14に示すADCに使用される基準電流源（定電流源）BGRの一例を示す回路図である。

【0096】基準電流源としては、Band gap reference回路が既知であり、例えばP.R.グレイ、R.G.メイヤー共著のアナログ集積回路設計技術（下）（培風館）などに記載されている。

【0097】図15に示した基準電流源は、前記文献のP.310、図12.29に基づいて、カスケード接続を単純化し、バイポーラトランジスタをダイオードで置換して構成したものであり、その動作原理を以下に説明する。

【0098】電源ノードと接地ノードとの間に、PMOSTランジスタTP1、ドレイン・ゲートどうしが接続されたNMOSTランジスタTN1およびダイオードD1が直列に接続されている。同じく、電源ノードと接地ノードとの間に、ゲート・ドレインどうしが接続されたPMOSTランジスタTP2、NMOSTランジスタTN2、抵抗素子R1およびダイオードD2が直列に接続されている。同じく、電源ノードと接地ノードとの間に、ゲート・ドレインどうしが接続されたPMOSTランジスタTP3、抵抗素子R2およびダイオードD3が直列に接続されている。

【0099】上記3個のPMOSTランジスタTP1～TP3は、ゲート相互が接続されてカレントミラー回路を構成しており、前記2個のNMOSTランジスタTN1およびTN2はゲート相互が接続されてカレントミラー回路を構成している。

【0100】一方、電源ノードと接地ノードとの間に、ゲート・ドレインどうしが接続されたPMOSTランジスタTP4、NMOSTランジスタTN3および抵抗素子R3

が直列に接続されている。そして、上記NMOSTランジスタTN3のソースの電位および前記PMOSTランジスタTP3のドレインの電位が、電圧比較回路CPの（-）入力端および（+）入力端に対応して入力し、この電圧比較回路CPの出力端が前記PMOSTランジスタTN3のゲートに接続されている。さらに電流出力用のPMOSTランジスタTP5が、前記PMOSTランジスタTP4にカレントミラー接続され、そのドレインから基準電流Ioutが出力される。

【0101】上記構成において、ダイオードD1、D2、D3に流れる電流が同じになるように設定されている。また、ダイオードD2、D3は同じサイズであり、ダイオードD1に比べてサイズが大きく設定されている。抵抗素子R1、R2、R3は同じ抵抗値である。

【0102】いま、ダイオードD1、D2、D3に流れる電流をそれぞれI_dとし、ダイオードD1、D2、D3のアノード・カソード間電圧をそれぞれ対応してV_{be1}、V_{be2}、V_{be3}とし、抵抗素子R3に流れる電流をIとする

$$V_{be1} = I_d \times R1 + V_{be2}$$

$$I_d \times R2 + V_{be3} = I \times R3$$

ダイオードD2、D3はそれぞれサイズが同じで、流れる電流が同じになるように設定されているから、

$$V_{be2} = V_{be3}$$

抵抗素子R1の抵抗値とR2の抵抗値とは同じであるから、

$$R2 = R3$$

ここで、

$$\Delta V_{be} = V_{be1} - V_{be2}$$

$$V_{be} = V_{be2} = V_{be3}$$

とおくと、

$$I = \Delta V_{be} / R1 + V_{be} / R2 \quad \dots (1)$$

となる。

【0103】上式(1)において、V_{be}は、ダイオードD1、D2、D3に順方向に電流が流れ始める電圧に相当し、P側とN側とのフェルミ(Fermi)準位の差に相当する。高温になれば、P側の準位は高くなる傾向、N側の準位はフェルミ-ディラック分布から低くなる傾向にあり、フェルミ準位の差が小さくなって、V_{be}は小さくなっていく。

【0104】また、上式(1)において、 ΔV_{be} は、ダイオードD1を流れる電流I_{d1}とダイオードD2を流れる電流I_{d2}の差から生じるもので、

$$I_d = \alpha \times \exp(q \times V_{be} / KT) - 1 \quad \dots (2)$$

である。ここで、 α には、ダイオードD1、D2のサイズ効果が含まれる。ダイオードD1、D2のサイズが同じであるとすると、上式(2)中の指数項に対して-1は無視できるので、

$$\Delta V_{be} = (KT/q) \times \log \{ I_{d1} / I_{d2} \} \quad \dots (3)$$

となり、温度に比例する。

【0105】そこで、温度特性の変化方向が反対のV_{be}

と ΔV_{be} を使い、ダイオードD1、D2に流れる電流比 I_{d1}/I_{d2} と、抵抗R1、R2の抵抗値を調整することにより、Iから温度依存性をなくすることができる。

【0106】<第11実施形態>前記したようなSource Synchronous Strobe方式を採用する場合には、ストロブ信号STROBEとして、電圧ではなく、基準電流を送ることも可能であり、この点を考慮した第11実施形態を以下に説明する。

【0107】図16は、第11実施形態に係る電流ドライブ回路の一例を示す回路図である。なお、図16に示す電流ドライブ回路は、デジタイゼーション接続の伝送システムにおいて、ストロブ信号STROBEを電流駆動するLSIに設けられるものである。

【0108】図16に示すように、コントローラ用の第1のLSI(CHIP-A)16Aでは、電源ノードと接地ノードとの間に、基準電流源BGR、ストロブイネーブル信号enがゲートに印加されるNMOSTランジスタ161およびドレイン・ゲートどうしが接続されたNMOSTランジスタ162が直列に接続されている。同様に、前記電源ノードと接地ノードとの間に、ゲート・ドレインどうしが接続されたPMOSTランジスタ163およびNMOSTランジスタ164が直列に接続されている。上記2個のNMOSTランジスタ162、164はゲート相互が接続されてカレントミラー回路を構成している。そして、電流出力用のPMOSTランジスタ165が、前記PMOSTランジスタ163にカレントミラー接続されている。

【0109】上記構成の第1のLSI16Aによれば、電流出力用のPMOSTランジスタ165のドレインから出力される電流を、ストロブ信号STROBEとして外部のストロブ信号線2に出力することが可能である。

【0110】一方、第2のLSI(CHIP-B)16Bでは、ドレイン・ゲートどうしが接続されたNMOSTランジスタ166に、前記外部のストロブ信号線2からストロブ信号電流が入力される。そして、電源ノードと接地ノードとの間に、ゲート・ドレインどうしが接続されたPMOSTランジスタ167およびNMOSTランジスタ168が直列に接続されており、上記NMOSTランジスタ168は前記NMOSTランジスタ166にカレントミラー接続されている。そして、前記PMOSTランジスタ167にPMOSTランジスタ169がカレントミラー接続されている。

【0111】上記構成の第2のLSI16Bによれば、PMOSTランジスタ169のドレインから出力されるストロブ信号電流を、内部回路に供給することが可能であり、このストロブ信号電流をDACの電流源あるいはADCの電流源として使用可能である。

【0112】図17は、図16に示したストロブ信号STROBEを電流駆動する場合の動作の一例を示す波形図である。ここで、CLK(V)はクロック信号電圧、STROBE(A)はストロブ信号電流、Input(A)は電流データ入力、Output(A)は電流データ出力である。

tput(A)は電流データ出力である。

【0113】また、図18は、第11実施形態に係るデジタイゼーション接続された伝送システムにおけるストロブ信号電流の伝送経路の一例を、簡略的に示す回路図である。例えばPMOSTランジスタ164はDAC14aの電流源であり、PMOSTランジスタ169はADC19aの電流源である。

【0114】<第12実施形態>前記したSource Synchronous Strobe方式を採用し、図16に示したようにストロブ信号STROBEを基準電流として送るとともに、ストロブ信号電流をデータ電流に重畳して送ることも可能であり、この点を考慮した第12実施形態を以下に説明する。なお、図16中と同一部分には同一符号を付している。

【0115】図19Aは、第12実施形態に係るデジタイゼーション接続の伝送システムにおけるストロブ信号電流の伝送経路を簡略的に示す回路図である。

【0116】即ち、第12実施形態は、次段のLSI18Bにおいて、DAC14aにより2値の電圧データD00~D07をDA変換する際に、ストロブ信号STROBEを意味する1単位分のデータを足し込む。これにより、DAC14aの出力により制御される電流データを、出力イネーブル信号/OEによりスイッチ制御されるランジスタ43を介して外部データ線1に出力する際に、ストロブ信号STROBEを意味する電流を1単位分足し込むことが可能になる。

【0117】そして、上記ADC19aは、外部データ線1を介して供給されるデータ電流(ストロブ信号電流が1単位分足し込まれている)を、データ入力回路部のNMOSカレントミラー回路16、17で折り返す。そして、折り返したデータ電流を、入力イネーブル信号WEによりスイッチ制御されるランジスタ48に入力し、これをAD変換する。この際、ADC19aは、1単位分の電流値がデータ値としては余分であることを認識して変換するように構成しておくことにより、1単位分以上の電流が流れると、ストロブ信号STROBEを受け取ったと判定することができる。

【0118】図20は、図19Aに示すDAC14aの一例を示す回路図である。なお、図20には、8ビットの2進電圧データ(D07~D00)、および1ビット分のストロブ信号(クロック信号)STRBを、10進電流データに変換する場合を示している。

【0119】図20に示すDACは、図11に示したDACと比べて、

(1) 基準電流源用のNMOSTランジスタN0に対して、さらに1個のストロブ信号電流源用のNMOSTランジスタN1aがカレントミラー接続されており、このNMOSTランジスタN1aは、基準電流源用のNMOSTランジスタN0と同じ電流値を持つようにサイズが設定されていること。

【0120】(2) DA変換出力ノードと上記ストローブ信号電流源用のNMOSトランジスタN1aのドレインとの間に、ストローブ信号STRBがゲートに印加されるスイッチ用のNMOSトランジスタSBが接続されていること。

【0121】以上2つの構成が異なり、他の構成は、図11に示したDACと同じであるので、符号を省略している。

【0122】また、図20に示すDACの動作は、図11に示したDACの動作と基本的には同様であり、1ビット分のストローブ信号STRBに対応するDA変換動作が加わることが、特に異なる。

【0123】図21、図22、図23および図24は、図19Aに示すADC19aの一例を示す回路図である。なお、図21～図24には、10進電流データ(denary current data)ADCinを、8ビットの2進電圧データDI7～DI0、および1ビット分のストローブ信号STRBに変換するADCの一例が示されている。そして、図21には1個のADCのうち、2進電圧データDI7～DI0の、最上位ビットDI7～ビットDI4を変換する回路が、図22にはビットDI3、DI2を変換する回路が、図23にはビットDI1、DI0を変換する回路が、図24には1ビット分のストローブ信号STRBを変換する回路がそれぞれ示されている。

【0124】図21、図22、図23および図24に示す回路は、図12、図13および図14に示したADCと比べて、以下の構成(1)～(9)が異なり、その他は同じであるので、符号を省略している。

【0125】(1) 第1の比較回路COMP1aにおいて、基準電流の128倍の重み付け電流を流すために直列接続されていた2個のNMOSトランジスタC8、N8に代えて、それぞれ基準電流の129倍の重み付け電流を流すようにサイズが設定された2個のNMOSトランジスタC8a、N8aが用いられている。

【0126】(2) 第2の比較回路COMP2aにおいて、基準電流の64倍の重み付け電流を流すために直列接続されていた2個のNMOSトランジスタC7、N7に代えて、それぞれ基準電流の65倍の重み付け電流を流すようにサイズが設定された2個のNMOSトランジスタC7a、N7aが用いられている。

【0127】(3) 第3の比較回路COMP3aにおいて、基準電流の32倍の重み付け電流を流すために直列接続されていた2個のNMOSトランジスタC6、N6に代えて、それぞれ基準電流の33倍の重み付け電流を流すようにサイズが設定された2個のNMOSトランジスタC6a、N6aが用いられている。

【0128】(4) 第4の比較回路COMP4aにおいて、基準電流の16倍の重み付け電流を流すために直列接続されていた2個のNMOSトランジスタC5、N5に代えて、それぞれ基準電流の17倍の重み付け電流を流すようにサイズが設定された2個のNMOSトランジスタC5a、N5aが

用いられている。

【0129】(5) 第5の比較回路COMP5aにおいて、基準電流の8倍の重み付け電流を流すために直列接続されていた2個のNMOSトランジスタC4、N4に代えて、それぞれ基準電流の9倍の重み付け電流を流すようにサイズが設定された2個のNMOSトランジスタC4a、N4aが用いられている。

【0130】(6) 第6の比較回路COMP6aにおいて、基準電流の4倍の重み付け電流を流すために直列接続されていた2個のNMOSトランジスタC3、N3に代えて、それぞれ基準電流の5倍の重み付け電流を流すようにサイズが設定された2個のNMOSトランジスタC3a、N3aが用いられている。

【0131】(7) 第7の比較回路COMP7aにおいて、基準電流の2倍の重み付け電流を流すために直列接続されていた2個のNMOSトランジスタC2、N2に代えて、それぞれ基準電流の3倍の重み付け電流を流すようにサイズが設定された2個のNMOSトランジスタC2a、N2aが用いられている。

【0132】(8) 第8の比較回路COMP8aにおいて、基準電流の1倍の重み付け電流を流すために直列接続されていた2個のNMOSトランジスタC1、N1に代えて、それぞれ基準電流の2倍の重み付け電流を流すようにサイズが設定された2個のNMOSトランジスタC1a、N1aが用いられている。

【0133】(9) ストローブ信号用の比較回路COMP-Sが付加されている。この比較回路COMP-Sは、図23に示した第8の比較回路COMP8と比べて、基準電流の2倍の重み付け電流を流すために直列接続されていた2個のNMOSトランジスタC1a、N1aに代えて、それぞれ基準電流の1倍の重み付け電流を流すようにサイズが設定された2個のNMOSトランジスタC1'、N1'が用いられている点、さらにPMOSトランジスタP1のドレインと接地ノードとの間に、ゲートに最小重みビットDI0が印加されるNMOSトランジスタC1および基準電流の1倍の電流を流すNMOSトランジスタN1が直列に接続されている点が異なり、その他は同じである。

【0134】これにより、ストローブ信号用の比較回路COMP-Sは、ビットDI7～DI0がそれぞれ“HIGH”の場合には、入力電流から基準電流の128倍、64倍、32倍、16倍、8倍、4倍、2倍および1倍を引いたものと信号enを受けて流れる基準電流の1倍の電流とを比較し、ビットDI7～DI0がそれぞれ“LOW”の場合には、入力電流と信号enを受けて流れる基準電流の1倍の電流とを比較し、ストローブ信号(クロック信号)STRBのレベルを決定する。

【0135】即ち、図21～図24に示すADCは、比較イネーブル信号enを受けて流れる基準電流の $2^{n-1}+1$ 倍に重み付けされた電流値と入力電流との大小を比較し、nビットの2進データのうちの最上位であるn番目のビットの論理レベルを決定する第1の比較回路COMP1a

と、前記 n 番目のビットの論理レベルに応じて、前記入力電流から基準電流の 2^{n-1} 倍の電流値を引いたものまたは前記入力電流と、前記比較イネーブル信号を受けて流れる基準電流の $2^{n-1}+1$ 倍の電流との大小を比較し、前記2進データのうちの $n-1$ 番目のビットの論理レベルを決定する第2の比較回路COMP2aと、前記基準電流に対して上位ビットの論理レベルの組み合わせに応じた倍数分に相当する電流値を引いたものまたは前記入力電流と、前記比較イネーブル信号を受けて流れる基準電流の $2^{n-1}+1$ 倍 $\sim 2^n+1$ 倍の電流との大小をそれぞれ
10 対応して比較し、前記2進データのうちの $n-2$ 番目 \sim 最下位のビットの論理レベルを決定する第3の比較回路COMP3a \sim 第 n の比較回路COMPnaと、前記基準電流に対して前記最上位 \sim 最下位ビットの論理レベルの組み合わせに応じた倍数分に相当する電流値を前記入力電流から引いたものまたは前記入力電流と、前記比較イネーブル信号を受けて流れる基準電流の1倍の電流との大小を比較し、ストロブ信号STRBの論理レベルを決定するクロック信号用比較回路COMP-Sとを具備することを特徴とするものである。

【0136】図21 \sim 図24に示すADCの動作は、図12 \sim 図14に示したADCの動作と基本的には同様であり、1ビット分のストロブ信号STRBに対応するAD変換動作が加わる点異なる。この場合、ビットDI7 \sim DI1まで変換した後に、1単位の電流が検出できたら、それがストロブ信号STRBに対応する。つまり、データ電流のAD変換終了後にストロブ信号STRBが検出可能になるので、ビットDI7 \sim DI1の変換出力をラッチする回路の制御信号として、ストロブ信号STRBを利用することが可能になる。つまり、ストロブ信号STRBの立ち上がりで、ビットDI7 \sim DI1を、データラッチ回路170にラッチする。

【0137】上記第12実施形態によれば、ストロブ信号STROBEを基準電流として送るとともに、ストロブ信号電流をデータ電流に重畳して送ることが可能になる。

【0138】図25は、図19Aに示したデジタイゼーション接続の伝送システムにおいてストロブ信号電流を電流データInput(A)、Output(A)に重畳した場合の動作の一例を示す波形図である。ここで、電流データ期間T1はストロブ信号電流STRBのみの場合、電流データ期間T2はストロブ信号電流STRBを電流データに重畳した場合を示している。

【0139】＜DACの第1、第2変形例＞図20に示したDACは、1ビット分のストロブ信号（クロック信号）STRBを、8ビットの2進電圧データD07 \sim D00の最下位ビットと同じ重みを有するものとして扱った。

【0140】しかし、1ビット分のストロブ信号（クロック信号）STRBは、8ビットの2進電圧データD07 \sim D00より上位ビット、あるいは下位ビットに割り当てるよ

うにしてもよい。ストロブ信号STRBを、上位ビットに割り当てた第1変形例を図26に、下位ビットに割り当てた第2変形例を図27に示す。

【0141】図26に示すDACは、図20に示したDACと比べて、ストロブ信号電流源用のNMOSトランジスタN1a、およびストロブ信号STRBがゲートに印加されるスイッチ用のNMOSトランジスタSBに代えて、基準電流源用のNMOSトランジスタの256倍の電流が流れるサイズが設定されているNMOSトランジスタN9、S9が設けられている点が異なり、その他は同じである。

【0142】即ち、図26に示すDACは、基準電流源トランジスタN0と、前記基準電流源トランジスタに対してそれぞれカレントミラー接続され、基準電流源トランジスタの電流値に比べて 2^n 倍に重み付けされた電流値を持つようにサイズが設定された第1 \sim 第 $(n+1)$ の重み付け電流源トランジスタN1 \sim N9と、前記第1 \sim 第 $(n+1)$ の重み付け電流源トランジスタに対応して各一端が接続され、各他端は一括されて出力ノードに接続され、 2^n 倍に重み付けされた電流値を持つようにサイズが設定され、各ゲートに対応して n ビットの2進電圧データのうちの最下位ビットD00 \sim 最上位ビットD07およびストロブ信号STRBが入力する第1 \sim 第 $(n+1)$ のスイッチ用トランジスタS1 \sim S9とを具備することを特徴とするものである。

【0143】図26に示すDACの動作は、図20に示したDACの動作と基本的に同様であり、ストロブ信号STRBが8ビットの2進電圧データD07 \sim D00より上位ビットに割り当てられてDA変換される点異なる。

【0144】図27に示すDACは、図20に示したDACと比べて、ストロブ信号電流源用のNMOSトランジスタN1a、およびストロブ信号STRBがゲートに印加されるスイッチ用のNMOSトランジスタSBに代えて、基準電流源用のNMOSトランジスタの1/2倍の電流が流れるサイズが設定されているNMOSトランジスタN1/2およびS1/2が設けられている点が異なり、その他は同じであるので符号を省略している。

【0145】即ち、図27に示すDACは、基準電流源トランジスタN0と、前記基準電流源トランジスタに対してそれぞれカレントミラー接続され、基準電流源トランジスタの電流値に比べて 2^{n-1} 倍、1/2倍に重み付けされた電流値を持つようにサイズが設定された第1 \sim 第 $(n+1)$ の重み付け電流源トランジスタN1 \sim N8、N1/2と、前記第1 \sim 第 $(n+1)$ の重み付け電流源トランジスタに対応して各一端が接続され、各他端は一括されて出力ノードに接続され、 2^{n-1} 倍、1/2倍に重み付けされた電流値を持つようにサイズが設定され、各ゲートに対応して n ビットの2進電圧データのうちの最下位ビットD00 \sim 最上位ビットD07およびストロブ信号STRBが入力する第1 \sim 第 $(n+1)$ のスイッチ用トランジスタS1 \sim S

8、S1/2とを具備することを特徴とするものである。

【0146】図27に示すDACの動作は、図20に示したDACの動作と基本的に同様であり、ストローブ信号STRBが8ビットの2進電圧データD07~D00より下位ビットに割り当てられてDA変換される点が異なる。

【0147】<ADCの第1、第2変形例>図21~図24に示したADCは、1ビット分のストローブ信号（クロック信号）STRBを、8ビットの2進電圧データD07~D00の最下位ビットと同じ重みを有するものとして扱った。

【0148】しかし、1ビット分のストローブ信号（クロック信号）STRBは、8ビットの2進電圧データD07~D00より上位ビット、あるいは下位ビットに割り当てるようにしてもよい。ストローブ信号STRBを、上位ビットに割り当てた第1変形例を図28~図30に、下位ビットに割り当てた第2変形例を図31~図34に示す。

【0149】図28~図30に示すADCは、図21~図24に示したADCと比べて、比較イネーブル信号enに代えて、ストローブ信号（クロック）STRBが用いられていること、このストローブ信号STRBがゲートに印加されるNMOSトランジスタC8b~C1bのサイズ、これらNMOSトランジスタC8b~C1bに直列接続されている重み付け電流源用のNMOSトランジスタN8b~N1bのサイズ、およびストローブ信号用の比較回路COMP-SUの構成が異なる。その他は、同じであるので符号を省略している。

【0150】即ち、図28~図30に示すADCは、比較イネーブル信号enを受けて流れる基準電流の 2^n 倍に重み付けされた電流値と入力電流との大小を比較し、ストローブ信号STRBの論理レベルを決定するクロック信号用比較回路COMP-SUと、前記ストローブ信号STRBを受けて流れる基準電流の $(2^n + 2^{n-1})$ 倍に重み付けされた電流値と入力電流との大小を比較し、nビットの2進データのうちの最上位であるn番目のビットの論理レベルを決定する第1の比較回路COMP1bと、前記n番目のビットの論理レベルに応じて、前記入力電流から基準電流の 2^{n-1} 倍の電流値を引いたものまたは前記入力電流と、前記ストローブ信号STRBを受けて流れる基準電流の $(2^n + 2^{n-2})$ 倍の電流との大小を比較し、前記2進データのうちのn-1番目のビットの論理レベルを決定する第2の比較回路COMP2bと、前記基準電流に対して上位ビットの論理レベルの組み合わせに応じた倍数分に相当する電流値を前記入力電流から引いたものまたは前記入力電流と前記ストローブ信号STRBを受けて流れる基準電流の $(2^n + 2^{n-3}) \sim (2^n + 2^0)$ 倍の電流との大小をそれぞれ対応して比較し、前記2進データのうちのn-2番目~最下位のビットの論理レベルを決定する第3の比較回路COMP3b~第nの比較回路COMPnbとを具備することを特徴とするものである。

【0151】図28~図30に示すADCの動作は、図

21~図24に示したADCの動作と基本的に同様であり、ストローブ信号STRBが8ビットの2進電圧データD07~D00より上位ビットに割り当てられてAD変換される点が異なる。

【0152】図31~図34に示すADCは、図21~図24に示したADCと比べて、比較イネーブル信号enがゲートに印加されるNMOSトランジスタC8c~C1cのサイズ、これらNMOSトランジスタC8c~C1cに直列接続されている重み付け電流源用のNMOSトランジスタN8c~N1cのサイズ、およびストローブ信号用の比較回路COMP-SDの構成が異なる。その他は、同じであるので符号を省略している。

【0153】即ち、図31~図34に示すADCは、比較イネーブル信号enを受けて流れる基準電流の $2^{n-1} + 1/2$ 倍に重み付けされた電流値と入力電流との大小を比較し、nビットの2進データのうちの最上位であるn番目のビットの論理レベルを決定する第1の比較回路COMP1cと、前記n番目のビットの論理レベルに応じて、前記入力電流から基準電流の 2^{n-1} 倍の電流値を引いたものまたは前記入力電流と、前記比較イネーブル信号enを受けて流れる基準電流の $2^{n-2} + 1/2$ 倍の電流との大小を比較し、前記2進データのうちのn-1番目のビットの論理レベルを決定する第2の比較回路COMP2cと、前記基準電流に対して上位ビットの論理レベルの組み合わせに応じた倍数分に相当する電流値を前記入力電流から引いたものまたは前記入力電流と、前記比較イネーブル信号enを受けて流れる基準電流の $2^{n-3} + 1/2$ 倍~ $2^0 + 1/2$ 倍の電流との大小をそれぞれ対応して比較し、前記2進データのうちのn-2番目~最下位のビットの論理レベルを決定する第3の比較回路COMP3c~第nの比較回路COMPncと、前記基準電流に対して前記最上位~最下位のビットの論理レベルの組み合わせに応じた倍数分に相当する電流値を前記入力電流から引いたものまたは前記入力電流と、前記比較イネーブル信号enを受けて流れる基準電流の $1/2$ 倍の電流との大小を比較し、ストローブ信号STRBの論理レベルを決定するクロック信号用比較回路COMP-SDとを具備することを特徴とするものである。

【0154】図31~図34に示すADCの動作は、図21~図24に示したADCの動作と基本的に同様であり、ストローブ信号STRBが8ビットの2進の電圧データD07~D00より下位ビットに割り当てられてAD変換される点が異なる。

【0155】このようにストローブ信号STRB信号が最下位の場合、このストローブ信号STRBの判定は最後になされる。このため、ストローブ信号STRBの立ち上がりでデータをラッチする。

【0156】なお、ストローブ信号STRBが最上位の場合、このストローブ信号STRBの判定は最初になされる。このため、図19Bに示すように、ストローブ信号STRBを、遅延回路171でビットD07~ビットD00のAD変換に

10

20

30

40

50

要する時間、遅延させた後、この遅延させたストロブ信号STRBdの立ち上がりでデータをラッチする、もしくは図19Cに示すように、ストロブ信号STRBを、インバータ172で反転させた後、反転させたストロブ信号/STRBの立ち下がりでデータをラッチすれば良い。

【0157】＜DACの基準電流とADCの基準電流との関係、基準電流源の第1～第3変形例＞DACの回路動作とADCの回路動作とを正確に行わせるためには、ADCの基準電流はDACの基準電流の1/2倍より大きく、2倍よりは小さく設定すればよい。

【0158】また、ADCの出力側の増幅回路の動作マージンを上げるなら、この増幅回路の入力の電位振幅を大きくすることが望ましく、この場合にはADCの基準電流はDACの基準電流の1倍より大きく、2倍よりは小さく設定した方がよい。

【0159】このような基準電流の関係に基づいて、基準電流の値は仕様により決めてもよい。その場合、図35に示すように、DAC用の基準電流としては前記BGRの電流値をそのまま使用し、ADC用の基準電流としてはDAC用の基準電流の、例えば1.5倍を使用すると、あるいは、図36および図37に示すように、伝送システム中に基準電流源を設け、DAC用の基準電流は基準電流源の電流値をそのまま使用し、ADC用の基準電流は基準電流源の電流値の例えば1.5倍を使用することが可能である。

【0160】図35は、LSI内のBGRの電流値をDAC用の基準電流として使用し、上記BGRの電流値の1.5倍の電流値をADC用の基準電流として使用する場合は回路例を示している。

【0161】図35に示す回路は、図15に示したBGRの出力段においてPMOSTランジスタTP4にカレントミラー接続されているサイズがWのPMOSTランジスタTP5の出力電流をDAC用の基準電流として供給し、さらに、前記PMOSTランジスタTP4にサイズが1.5×WのPMOSTランジスタTP6をカレントミラー接続し、このPMOSTランジスタTP6の出力電流をADC用の基準電流として供給するものである。なお、図35において、図15中と同一部分には同一符号を付している。

【0162】図36には、デジタイゼーション接続の伝送システムにおいて、LSI内のDACおよびADCの基準電流の値を外部の基準電流源により決定し、DAC用の基準電流は基準電流源の電流値を使用し、ADC用の基準電流は基準電流源の電流値の1.5倍を使用する場合は回路例を示している。

【0163】図36において、第1のLSIチップ351は、外部（例えばコントローラ）の基準電流源350から入力する基準電流をNMOSTランジスタ353、354からなるカレントミラー回路で受け、この基準電流をPMOSTランジスタ355、356からなるカレントミラー回路で受ける。上記PMOSTランジスタ355には、さらにPMOSTランジス

タ357、358がカレントミラー接続されている。この場合、PMOSTランジスタ356、357のサイズをWとすると、PMOSTランジスタ358のサイズは1.5×Wに設定されている。そして、上記PMOSTランジスタ357の出力電流をDAC用の基準電流として供給し、PMOSTランジスタ358の出力電流をADC用の基準電流として供給し、PMOSTランジスタ356の出力電流を次段の第2のLSIチップ352に基準電流として伝送する。

【0164】上記第2のLSIチップ352も、前記第1のLSIチップ351と同様の構成を有し、前段の第1のLSI351から入力する基準電流をNMOSTランジスタ353、354からなるカレントミラー回路で受け、PMOSTランジスタ357の出力電流をDAC用の基準電流として供給し、PMOSTランジスタ358の出力電流をADC用の基準電流として供給し、PMOSTランジスタ356の出力電流を次段のLSIチップに基準電流として伝送する。

【0165】図37は、スター接続の伝送システムにおいて、LSI内のDACおよびADCの基準電流の値を外部（例えばコントローラ）の基準電流源により決定し、DAC用の基準電流は基準電流源の電流値を使用し、ADC用の基準電流は基準電流源の電流値の1.5倍を使用する場合の回路例を示している。

【0166】図37において、第1のLSIチップ361は、外部（例えばコントローラ）の基準電流源360から入力する基準電流をNMOSTランジスタ363、364からなるカレントミラー回路で受け、この基準電流をPMOSTランジスタ365、366からなるカレントミラー回路で受ける。上記PMOSTランジスタ365には、さらにPMOSTランジスタ367がカレントミラー接続されている。この場合、PMOSTランジスタ366のサイズをWとすると、PMOSTランジスタ367のサイズは1.5×Wに設定されている。そして、上記PMOSTランジスタ366の出力電流をDAC用の基準電流として供給し、PMOSTランジスタ367の出力電流をADC用の基準電流として供給する。第2のLSIチップ362も、前記第1のLSIチップ361と同様の構成を有し、同様に動作する。ただし、第1のLSIチップ361とは別の電流出力を受ける。

【0167】＜第13実施形態＞前記したデジタイゼーション接続の伝送システムにおいて、前段のLSIからの電流を後段のLSIに転送する場合、電流入力値をAD変換した後に再びDA変換して電流出力にするのは効率が悪い。この点を改善した第13実施形態について、以下に説明する。

【0168】図38は、第13実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0169】即ち、図38に示すメモリLSIは、外部データ線に接続された電流入力型のデータ入力回路部241と、このデータ入力回路部のADC19から出力する電圧データを格納するメモリセルアレイ242と、このメモ

リセルアレイ242から出力する電圧データをDAC14により変換して外部データ線に出力する電流出力型のデータ出力回路部243と、前段側の外部データ線からの入力電流をAD変換せずにそのまま電流出力として後段側の外部データ線に転送する電流転送回路244とを有する。

【0170】上記電流転送回路244は、前記データ入力回路部241の電流入力用のNMOSTランジスタ16にカレントミラー接続されたNMOSTランジスタ245と、このNMOSTランジスタ245の電流が流れるバスに、ゲートおよびドレインを接続したPMOSTランジスタ246と、このPMOSTランジスタ246にカレントミラー接続されたPMOSTランジスタ247と、このPMOSTランジスタ247と電流出力ノードとの間に接続され、転送イネーブル信号の反転信号/PASSがゲートに印加される電流転送用のPMOSTランジスタ248とを有する。

【0171】なお、前記電流出力型のデータ出力回路部243は、電流出力用のPMOSTランジスタ15と電流出力ノードとの間に、転送イネーブル信号PASSがゲートに印加されるPMOSTランジスタ249が挿入接続されている。

【0172】したがって、信号/PASSが非活性状態（“HIGH”レベル）の時には、電流転送用のPMOSTランジスタ248がオフ状態になり、電流出力用のPMOSTランジスタ249がオン状態になり、前記メモリセルアレイ242から出力する電圧データに応じた電流データが出力される。

【0173】これに対して、信号/PASSが活性状態（“LOW”レベル）になると、電流転送用のPMOSTランジスタ248がオン状態、電流出力用のPMOSTランジスタ249がオフ状態になり、前段のLSIからの入力電流をAD変換せずにそのまま電流出力として後段のLSIに転送することが可能になる。

【0174】上記第13実施形態によれば、電流入力をAD変換した後に再びDA変換して電流出力する場合と比べて、消費電力の削減が可能になる。

【0175】＜第14実施形態＞前記したデジタイゼーション接続の伝送システムにおいて、伝送する電流データは1種類に限らず、複数種類のデータを選択することも可能であり、この点を考慮した第14実施形態について以下に説明する。

【0176】図39は、第14実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図であり、図38中と同一部分には同一符号を付している。

【0177】このメモリLSIのデータ入力回路部においては、前段側の外部データ線からの入力電流を信号/PASSがゲートに印加されるNMOSTランジスタ251を介してADC19に入力し、このADC19による2進変換出力データを第1のマルチプレクサ（MUX）252により

メモリセルアレイ242、レジスタ(A)253およびレジスタ(B)254に選択的に格納する。また、上記メモリセルアレイ242、レジスタ(A)253およびレジスタ(B)254からの出力データを、第2のMUX255により選択的に切り換えてDAC14に入力し、このDAC14による10進変換出力に応じた電流を転送イネーブル信号PASSがゲートに印加されるPMOSTランジスタ249を介して後段側の外部データ線に出力する。

【0178】また、前段側の外部データ線からの入力電流を電流転送回路244に入力し、転送イネーブル信号PASSがゲートに印加される転送用のNMOSTランジスタ256および信号/PASSがゲートに印加されるPMOSTランジスタ248により電流転送動作を制御して後段側の外部データ線に電流を出力する。

【0179】＜第14実施形態の変形例＞前記第14実施形態においては、外部データ線により伝送される電流はデータのみの場合を想定したが、これに限らず、前述したようにデータに制御信号を含ませることも可能であり、この点を考慮した変形例について以下に説明する。

【0180】図40は、第14実施形態の変形例に係るメモリLSIを簡略的に示す回路図である。

【0181】図40に示すLSIは、図39を参照して前述したLSIと比べて、入力電流をADC19により変換したデータに含まれる制御信号をコマンドデコーダ261に入力する。このコマンドデコーダ261は、前記データに含まれる制御信号の内容を解釈した結果に応じて、デコード出力である相補的な信号PASS、/PASSの活性/非活性を制御する。即ち、入力電流を電流転送回路244により転送させる場合には、信号PASS、/PASSを活性化し（信号PASSは“HIGH”、信号/PASSは“LOW”）、前記データを再びDAC14により変換した自分自身のデータを出力する場合には、信号PASS、/PASSを非活性状態にする（信号PASSは“LOW”、信号/PASSは“HIGH”）。

【0182】上記信号PASS、/PASSが活性化した時には、電流転送用トランジスタ248がオン状態、データ出力用トランジスタ249がオフ状態になり、前記信号PASS、/PASSが非活性状態の時には、電流転送用トランジスタ248がオフ状態、データ出力用トランジスタ249がオン状態になる。

【0183】＜第15実施形態＞図41は、第15実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0184】このメモリLSIは、データ(DQ)の伝送経路とRead/Writeなどの制御信号/アドレス信号(RQ)の伝送経路とを分離している。

【0185】即ち、データ(DQ)の伝送経路は、図39を参照して前述したメモリLSIにおける2個のマルチプレクサ252、255、2個のレジスタ(A)253、レジスタ(B)254を省略した構成とほぼ同様であって、前段側のデータ入力線から電流データ入力DQINを受け、後段側の

データ出力線に電流データ出力DQOUTを出力するものである。

【0186】これに対して、制御信号／アドレス信号(RQ)の伝送経路は、前段側の制御信号／アドレス信号入力線から制御信号／アドレス信号入力RQINを受ける電流入力型の制御信号／アドレス信号入力回路部271と、この入力回路部のADC19aから出力される電圧データをデコードし、転送イネーブル信号PASS、Read/Writeなどの制御信号、アドレス信号を出力するデコーダ272と、前記制御信号／アドレス信号入力回路部271の電流入力用のNMOSTランジスタ273にカレントミラー接続されたNMOSTランジスタ274と、このNMOSTランジスタ274の電流が流れるゲート・ドレインどうしが接続されたPMOSTランジスタ275と、このPMOSTランジスタ275にカレントミラー接続され、ドレインが制御信号／アドレス信号出力ノードに接続され、後段側の制御信号／アドレス信号線に制御信号／アドレス信号線電流出力RQOUTを出力するためのPMOSTランジスタ276とを有する。

【0187】＜第16実施形態＞図42は、第16実施形態に係るスター接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0188】このメモリLSIは、図41を参照して前述したメモリLSIと比べて、スター接続に対応することから、データ(DQ)の伝送経路において電流転送回路および制御信号／アドレス信号(RQ)の伝送経路において、それぞれ電流転送回路を省略し、信号/PASSに代えて入力イネーブル信号WE、信号PASSに代えて出力イネーブル信号/OEを用いている点が異なる。

【0189】このメモリLSIの伝送システムとの入出力動作は、図41を参照して前述したメモリLSIの伝送システムとの入出力動作と比べて、スター接続された伝送システムとデジタイゼーション接続された伝送システムとの通信プロトコルの相違に応じて異なるが、基本的には同様である。

【0190】＜第15実施形態および第16実施形態の第1変形例＞前記第15実施形態および第16実施形態においては、制御信号／アドレス信号を同じ伝送経路で取り扱ったが、これに限らず、制御信号／アドレス信号を分離することも可能である。

【0191】＜第15実施形態および第16実施形態の第2変形例＞前記第15実施形態および第16実施形態においては、データ(DQ)の伝送経路を1組設けているが、伝送するデータを2組に増加させる場合あるいはさらに増加させる場合は、それに応じてデータ(DQ)の伝送経路を追加すればよい。

【0192】＜第17実施形態＞前記した実施の形態では、データ電流にストロープ信号電流を重畳したが、データ電流にクロック信号電流を重畳することも可能であり、この点を考慮した第17実施形態について、以下に

説明する。

【0193】図43は、第17実施形態に係るデジタイゼーション接続の伝送システムを示すブロック図である。

【0194】ここでは、1個のメモリコントローラ291に複数個のDRAM292が単方向の2本のデータ線1a、1bによりデジタイゼーション接続され、コントローラ291が外部バス290に接続される場合のシステム構成を示している。

【0195】この伝送システムのメモリコントローラ291は、クロック信号源293から入力する電圧モードのクロック信号を受け取り、それを電流モードのクロック信号に変換して常時出力し、データ出力時にはクロック電流出力にデータ電流を重畳するように構成されている。

【0196】なお、この伝送システムのDRAM292においては、例えば図19Aに示したようにストロープ信号電流をデータ電流に重畳して伝送する場合と同様に電流ドライブ回路を構成すればよい。

【0197】この場合、図19Aに示した電流ドライブ回路の出力部のDAC14aとして、例えば図20に示したような回路を設け、ストロープ信号STRBに代えてクロック信号Clockを使用すればよい。また、上記電流ドライブ回路の入力部のADC19aとして、例えば図21～図23に示したような回路を設け、ストロープ信号STRBに代えてクロック信号Clockを使用すればよい。

【0198】図44は、図43に示した伝送システムにおいてクロック信号電流にデータ電流を重畳した場合の動作の一例を示す波形図である。

【0199】＜第17実施形態の変形例＞前記クロック信号として基準電流を送り、これを受けてクロック信号電圧を生成して使用することも可能であり、この点を考慮した変形例を以下に説明する。

【0200】図45は、第17実施形態の変形例に係る伝送システムにおいてクロック信号を電流出力する電流ドライブ回路およびクロック信号電流をクロック信号電圧に変換する回路の一例を示す回路図である。

【0201】図45において、コントローラ用の第1のLSI321では、電源ノードと接地ノードとの間に、基準電流源BCR、ゲートにクロックソース信号enがゲートに印加されるNMOSTランジスタ323およびドレイン・ゲートどうしが接続されたNMOSTランジスタ324が直列に接続されている。同様に、前記電源ノードと接地ノードとの間に、ゲート・ドレインどうしが接続されたPMOSTランジスタ325およびNMOSTランジスタ326が直列に接続されている。上記2個のNMOSTランジスタ324および326はゲート相互が接続されてカレントミラー回路を構成している。そして、電流出力用のPMOSTランジスタ327が、前記PMOSTランジスタ325にカレントミラー接続されている。

【0202】上記構成の第1のLSI321によれば、電流出力用のPMOSTランジスタ327のドレインから出

力する電流をクロック信号Clockとして外部の信号線（ストロブ信号線）に出力することが可能である。

【0203】一方、第2のLSI 322では、ドレイン・ゲートどうしが接続されたNMOSトランジスタ328に前記外部のストロブ信号線2からストロブ信号電流が入力する。そして、電源ノードと接地ノードとの間に、ゲート・ドレインどうしが接続されたPMOSTランジスタ329およびNMOSTランジスタ330が直列に接続されており、上記NMOSTランジスタ330は前記NMOSTランジスタ328にカレントミラー接続されている。そして、前記PMOSTランジスタ329にPMOSTランジスタ331がカレントミラー接続されている。

【0204】さらに、電源ノードと接地ノードとの間に、基準電流源BGRおよびドレイン・ゲートどうしが接続されたNMOSTランジスタ332が直列に接続されている。このNMOSTランジスタ332にNMOSTランジスタ333がカレントミラー接続されており、このNMOSTランジスタ333のドレインは前記PMOSTランジスタ331のドレインに接続されている。そして、上記PMOSTランジスタ331およびNMOSTランジスタ333のドレイン相互接続ノードに増幅回路334が接続されている。

【0205】ここで、第2のLSI 322の基準電流源BGRの電流を第1のLSI 321の基準電流源BGRの電流と等しく設定しておき、第2のLSI 322におけるNMOSTランジスタ333にPMOSTランジスタ331の電流の半分が流れるようにサイズを設定しておく。

【0206】上記構成の第2のLSI 322によれば、増幅回路334は、通常は低い電位入力を受けているが、クロック信号電流入力時に前記PMOSTランジスタ331から電流が出力する場合は高い電位入力を受けるので、クロック信号電流入力をクロック信号電圧に変換して出力し、内部回路に供給することが可能である。

【0207】＜第18実施形態＞図46は第18実施形態に係る伝送システムを示すブロック図である。

【0208】この伝送システムは、図5に示した第5実施形態に係る伝送システムと比べて、ストロブ信号線をバス線として終端させ、かつクロック信号線も終端させたことが異なり、その他は同じである。

【0209】＜第19実施形態＞図47は第19実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0210】本例が、図38に示した第13実施形態に係るメモリLSIと異なるところは、データ入力およびデータ出力をそれぞれ、メモリチップ内に設けられたコントローラからのデータ送信側301で行うことである。このため、図38に示した回路と同様の回路がデータ送信側301に配置されている。

【0211】また、コントローラへのデータ帰還側302には、電流転送回路244と同様な回路構成を持つ、電流

転送回路303が配置されている。なお、電流転送回路303は、常時、データ電流を転送することが、電流転送回路244と異なっている。

【0212】上記電流転送回路303は、図47に示すように、電流入力用のNMOSTランジスタ304と、このNMOSTランジスタ304にカレントミラー接続されたNMOSTランジスタ305と、このNMOSTランジスタ305の電流が流れるバスに、ゲートおよびドレインを接続したPMOSTランジスタ306と、このPMOSTランジスタ306にカレントミラー接続されたPMOSTランジスタ307と、このPMOSTランジスタのドレインと、電流出力ノードとの間に接続され、ゲートに回路内接地電位VSSを受けるPMOSTランジスタ308とを有する。また、PMOSTランジスタ308を省略し、PMOSTランジスタ308を出力に直接に接続しても問題は無い。

【0213】＜第20実施形態＞図48は第20実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0214】本例が、図47に示した第19実施形態に係るメモリLSIと異なるところは、データ入力およびデータ出力をそれぞれ、メモリチップ内に設けられたコントローラからのデータ帰還側302で行うことである。このため、図38に示した回路と同様の回路がデータ帰還302に配置されている。そして、コントローラからのデータ送信側301には、常時、データ電流を転送する電流転送回路303が配置されている。

【0215】＜第21実施形態＞図49は第21実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0216】本例が、図47に示した第19実施形態に係るメモリLSIと異なるところは、データ入力をデータ送信側301で行ない、データ出力をデータ帰還側302で行うことである。このため、電流転送回路303のうち、出力段を構成するPMOSTランジスタ307、308はデータ送信側301に配置され、入力段を構成するNMOSTランジスタ304、305、PMOSTランジスタ306はデータ帰還側302に配置されている。

【0217】また、本例のように、データ入力をデータ送信側301で行ない、データ出力をデータ帰還側302で行う場合には、データ出力のタイミングを調整することが重要である。コントローラから見たレイテンシ(latency)を、デジタイゼーション接続された複数のメモリチップそれぞれで合わせるためである。このため、本例では、メモリセルアレイ242の出力部に遅延回路311を設けている。遅延回路311は、例えばレジスタ312に格納された遅延データにより制御される。そして、メモリセルアレイ242からのデータ出力を、コントローラから見たレイテンシが、デジタイゼーション接続された複数のメモリチップそれぞれで合うように遅延させる。遅延データは、ch

ip-IDのセットとともに、デジチェーンの初期化によって記憶される。最も近いメモリは、最も大きいレイテンシにセットされる。遅延データのセット方法は、chip-IDのセット方法と同様である。遅延データに応じたユニット遅延時間は、コントローラから見たレイテンシが整合するように設計されている。

【0218】<第22実施形態>図50は第22実施形態に係るデジチェーン接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0219】第19、第20、第21実施形態ではデータバスの部分を例示した。本例では、アドレス/コマンドバスの部分を例示する。

【0220】本例が、図47に示した第19実施形態と異なるところは、アドレス信号、およびコマンド信号をAD変換するADC19aと、このADC19aから出力される電圧データをデコードし、アドレス信号およびコマンド信号を出力するデコーダ272を有することである。

【0221】また、電流転送回路244'は、その出力段を構成するPMOSトランジスタ248'のゲートに、回路内接地電位VSSを供給するようにして、常時、電流を転送できるように構成されている。

【0222】<第23実施形態>図51は第23実施形態に係るデジチェーン接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0223】本例が、図50に示した第22実施形態に係るメモリLSIと異なるところは、データ入力およびデータ出力をそれぞれ、メモリチップ内に設けられたコントローラからのデータ帰還側302で行うことである。このため、図50中のデータ送信側301に配置された回路と同様の回路が、データ帰還302に配置されている。そして、コントローラからのデータ送信側301には、常時、データ電流を転送する電流転送回路303が配置されている。

【0224】<第24実施形態>図52は第24実施形態に係るデジチェーン接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0225】本例が、図50に示した第22実施形態に係るメモリLSIと異なるところは、電流出力ノード319と、電流入力ノード320とを、トランスファゲート回路321により、互いに接続したことである。トランスファゲート回路321は、レジスタ322から出力される制御信号EDGE、/EDGEにより制御される。制御信号EDGEが“HIGH”、制御信号/EDGEが“LOW”のとき、電流出力ノード319は、電流入力ノード320に接続される。このため、電流出力を、データ送信側301からデータ帰還側302に、メモリチップ内で折り返すことができる。また、制御信号EDGEが“LOW”、制御信号/EDGEが“HIGH”のとき、電流出力ノード319は、電流入力ノード320から分離される。制御信号EDGEの状態は、デジチェーンの初期化によってセットされる。

【0226】本例は、デジチェーンの終端を、例えば図46に示した第18実施形態のように閉じた場合に有効である。つまり、この実施形態は、エッジのチップにおいて、その出力と入力との外部接続を必要とすることなく、使用することができる。

【0227】<第25実施形態>図53は第25実施形態に係るデジチェーン接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0228】本例が、図47に示した第19実施形態に係るメモリLSIと異なるところは、第24実施形態と同様に、電流出力ノード319と、電流入力ノード320とを、トランスファゲート回路321により、互いに接続したことである。

【0229】本例でも、制御信号EDGEが“HIGH”、制御信号/EDGEが“LOW”のとき、電流出力ノード319は、電流入力ノード320に接続されるので、電流出力を、データ送信側301からデータ帰還側302に、メモリチップ内で折り返すことができる。よって、デジチェーンの終端を、例えば図46に示した第18実施形態のように閉じた場合に有効である。

【0230】<第26実施形態>図54は第26実施形態に係るデジチェーン接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0231】上記実施形態では、データを送受信する例と、アドレスおよびコマンドを送受信する例とをそれぞれ説明した。

【0232】しかし、データ、アドレスおよびコマンドをそれぞれ一まとめにしたパケット(packet)を、送受信することも可能である。本例は、そのようなパケット送受信に適合させた例に関する。

【0233】本例が、図47に示した第19実施形態に係るメモリLSIと異なるところは、パケットデコーダ323、アドレスデコーダ324、コマンドデコーダ325、レジスタ326、およびパケットエンコーダ327を有することである。

【0234】パケットデコーダ323は、入力されたパケットをデコードし、データ、アドレスおよびコマンドにそれぞれ分類する。分類されたデータはメモリセルアレイ242に入力され、同様に分類されたアドレスおよびコマンドはそれぞれ、アドレスデコーダ324およびコマンドデコーダ324に入力される。

【0235】アドレスデコーダ324は、入力されたアドレスをデコードし、デコードしたアドレスをメモリセルアレイ242、およびレジスタ326に出力する。

【0236】コマンドデコーダ325は、入力されたコマンドをデコードし、デコードしたコマンドに基づいた内部制御信号(PASS、/PASS、WRITE、READ、INIT)を出力する。

【0237】レジスタ326は、chip-IDを記憶する。chip-IDとは、コントローラ、およびこのコントローラにデ

イジーチェーン接続された複数のメモリチップを識別するために、各チップに登録されたIDアドレスである。上記実施形態では、chip-IDに関する詳しい説明を省略したが、上記実施形態においても登録されていることはもちろんである。chip-IDの付与方法の一例を下記する。

【0238】まず、コントローラのchip-IDを“0000”に設定し、当該コントローラに登録する。コントローラはchip-ID“0000”を、デイジーチェーン接続された先頭のメモリチップに送信する。このchip-ID“0000”を受けたメモリチップはこれに“1”を加えて“0001”を、自身のchip-IDとして登録する。chip-ID“0001”が登録されたメモリチップは、chip-ID“0001”を、デイジーチェーン接続された次のメモリチップに送信する。このchip-ID“0001”を受けたメモリチップはこれに“1”を加えて“0010”を、自身のchip-IDとして登録する。このような処理を、デイジーチェーン接続されたメモリチップ全てに対して、順次行うことで、コントローラ、各メモリチップそれぞれに異なったchip-IDを登録することができる。登録されたchip-IDは、データ処理時、アドレス又はコマンドに含まれて送信される。そして、データ処理は、送信されたchip-IDに合致するchip-IDを持つメモリチップにおいて行われる。

【0239】レジスタ326は、このようなchip-IDを記憶する。そして、送信されたchip-IDが、レジスタ326に記憶されたchip-IDに合致した場合、コントローラを示すchip-ID、およびコントローラへのデータ出力であることを示すコードを、それぞれ出力する。当該メモリチップが出力したデータを、デイジーチェーン接続されている他のメモリチップが受け取らないようにするためである。

【0240】パケットエンコーダ327は、メモリセルアレイ242から出力されたデータ、およびレジスタ326から出力されたコントローラチップを示すchip-ID、およびコントローラへのデータ出力であることを示すコードをエンコードし、パケットにする。パケットは、DAC14に入力され、上記実施形態と同様にDA変換された後、出力される。

【0241】＜第27実施形態＞図55は第27実施形態に係るデイジーチェーン接続された伝送システムに適合するメモリLSIを簡略的に示す回路図である。

【0242】本例が、図54に示した第26実施形態と異なるところは、第21実施形態のように、データ入力をデータ送信側301で行ない、データ出力をデータ帰還側302で行うようにしたことであり、その他はほぼ同様の構成である。

【0243】以上、本発明を、第1～第27実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあったては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0244】また、第1～第27実施形態は、単独、または適宜組み合わせることも勿論可能である。

【0245】さらに、第1～第27実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0246】

【発明の効果】上述したように、本発明のデータ・信号伝送システムおよび半導体集積回路装置によれば、伝送データとして、電圧電位ではなく電流量を取り扱う。また、電流データの多値化を行うことにより、送信側と受信側とが1対1で対応する電流転送においても、データ線・信号線数の増大を伴うことなく多値のデータ伝送を行うことが可能になる。

【0247】このような電流データの多値化を行う場合、電流は加算性があり、電流の多値化は電圧の多値化よりも電圧ノイズマージンが広いという利点がある。したがって、LSIの素子の微細化に伴う電源電圧、外部信号線の振幅電圧の低下にも耐えることが容易になる。また、低速の同期クロックを伝送する場合でも、電流の多値化により、大量のデータの送受信が可能となる。

【図面の簡単な説明】

【図1】 図1は第1実施形態に係るLSIの一部を示すブロック図。

【図2】 図2は第2実施形態に係るLSIの一部を示すブロック図。

【図3】 図3は第3実施形態に係るLSIの一部を示すブロック図。

【図4】 図4は第4実施形態に係るLSIの一部を示すブロック図。

【図5】 図5は第5実施形態に係る伝送システムを示すブロック図。

【図6】 図6は図5に示す伝送システムの一動作例を示す波形図。

【図7】 図7は第6実施形態に係る伝送システムを示すブロック図。

【図8】 図8は第7実施形態に係る伝送システムを示すブロック図。

【図9】 図9は図8に示す伝送システムの一動作例を示す波形図。

【図10】 図10は第8実施形態に係る伝送システムを示すブロック図。

【図11】 図11は第9実施形態に係るDACの一回路例を示す回路図。

【図12】 図12は第10実施形態に係るADCの一回路例を示す回路図。

【図13】 図13は第10実施形態に係るADCの一回路例を示す回路図。

【図14】 図13は第10実施形態に係るADCの一回路例を示す回路図。

【図15】 図15は基準電流源（定電流源）の一回路例を示す回路図。

【図16】 図16は第11実施形態に係る電流ドライブ回路の一回路例を示す回路図。

【図17】 図17はストロブ信号を電流駆動した場合の一動作例を示す波形図。

【図18】 図18は第11実施形態に係るデジタイゼーション接続された伝送システムにおけるストロブ信号電流の伝送経路を簡略的に示す回路図。

【図19】 図19Aは第12実施形態に係るデジタイゼーション接続の伝送システムにおけるストロブ信号電流の伝送経路を簡略的に示す回路図、図19Bは図19Aに示す伝送経路の一変形例を示す回路図、図19Cは図19Aに示す伝送経路の他変形例を示す回路図。

【図20】 図20はDACの一例を示す回路図。

【図21】 図21はADCの一例を示す回路図。

【図22】 図22はADCの一例を示す回路図。

【図23】 図23はADCの一例を示す回路図。

【図24】 図24はADCの一例を示す回路図。

【図25】 図25は図19Aに示すデジタイゼーション接続された伝送システムの一動作例を示す波形図。

【図26】 図26はDACの第1変形例を示す回路図。

【図27】 図27はDACの第2変形例を示す回路図。

【図28】 図28はADCの第1変形例を示す回路図。

【図29】 図29はADCの第1変形例を示す回路図。

【図30】 図30はADCの第1変形例を示す回路図。

【図31】 図31はADCの第2変形例を示す回路図。

【図32】 図32はADCの第2変形例を示す回路図。

【図33】 図33はADCの第2変形例を示す回路図。

【図34】 図34はADCの第2変形例を示す回路図。

【図35】 図35は基準電流源の第1変形例を示す回路図。

【図36】 図36は基準電流源の第2変形例を示す回路図。

【図37】 図37は基準電流源の第3変形例を示す回路図。

【図38】 図38は第13実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図39】 図39は第14実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSI

を簡略的に示す回路図。

【図40】 図40は第14実施形態の変形例に係るメモリLSIを簡略的に示す回路図。

【図41】 図41は第15実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図42】 図42は第16実施形態に係るスター接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図43】 図43は第17実施形態に係るデジタイゼーション接続された伝送システムを示すブロック図。

【図44】 図44は図43に示した伝送システムにおいてクロック信号電流にデータ電流を重畳した場合の動作の一例を示す波形図。

【図45】 図45は第17実施形態の変形例を示す回路図。

【図46】 図46は第18実施形態に係る伝送システムを示すブロック図。

【図47】 図47は第19実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図48】 図48は第20実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図49】 図49は第21実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図50】 図50は第22実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図51】 図51は第23実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図52】 図52は第24実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図53】 図53は第25実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図54】 図54は第26実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図55】 図55は第27実施形態に係るデジタイゼーション接続された伝送システムに適合するメモリLSIを簡略的に示す回路図。

【図56】 図56は従来の伝送システムの一例を示すブロック図。

【図57】 図57は従来の伝送システムの他例を示すブロック図。

【符号の説明】

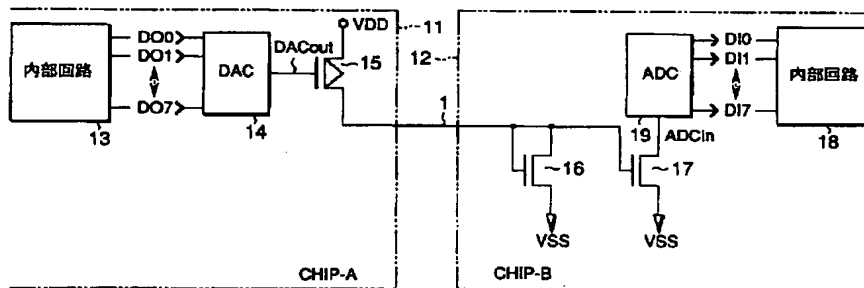
43

44

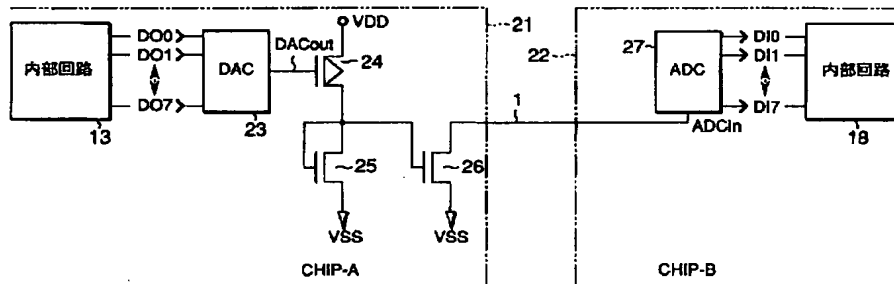
1、1a、1b…外部データ線、
 11、21、31、41…第1のLSI、
 12、22、32、42…第2のLSI、
 13…内部回路、
 14、23…DAC、
 15…出力バッファ用PMOSトランジスタ、
 16…入力バッファ用NMOSトランジスタ、
 18…内部回路、
 19、27…ADC、

* 43、46…出力スイッチ用トランジスタ、
 44、47…入力スイッチ用トランジスタ、
 50、100…外部バス、
 51、101…メモリコントローラ、
 52、102…DRAM、
 54…入力用データ線、
 55…出力用データ線、
 104、105…データ線、
 * 106…ストローブ信号線。

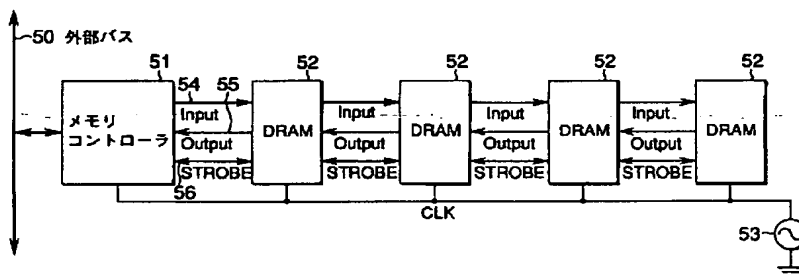
【図1】



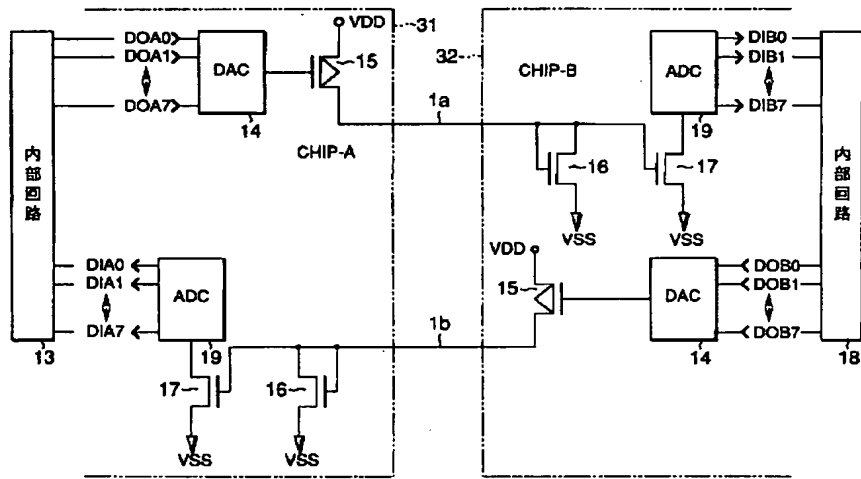
【図2】



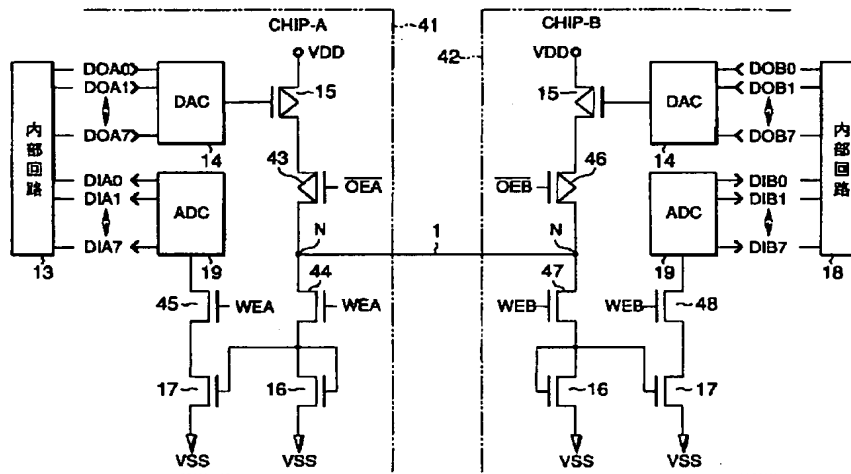
【図5】



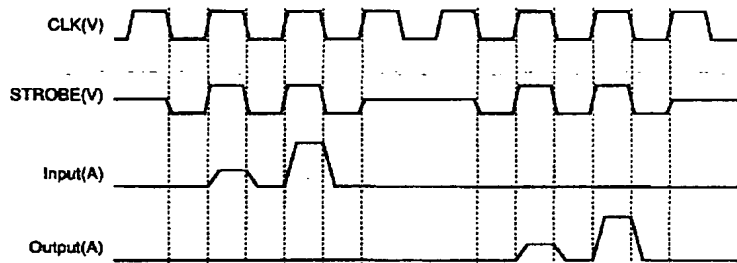
【図3】



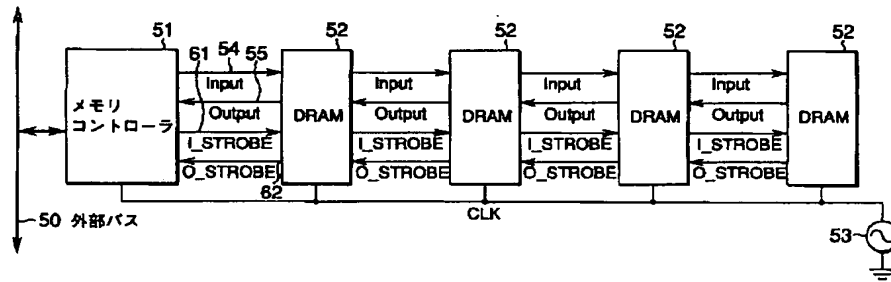
【図4】



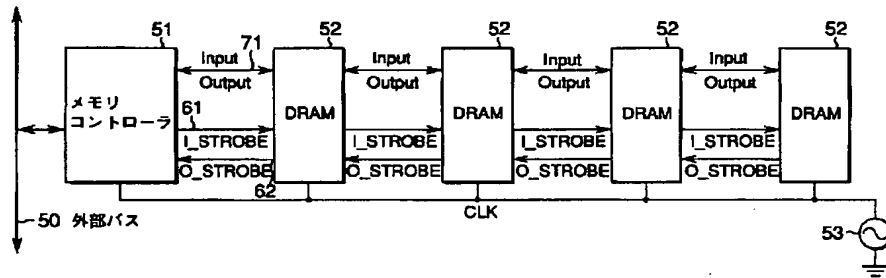
【図6】



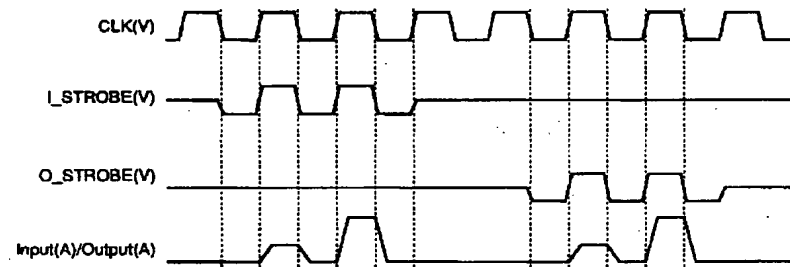
【図7】



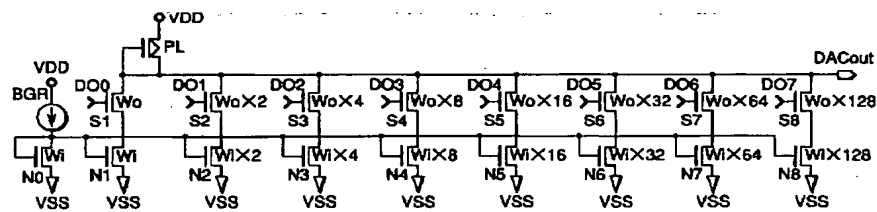
【図8】



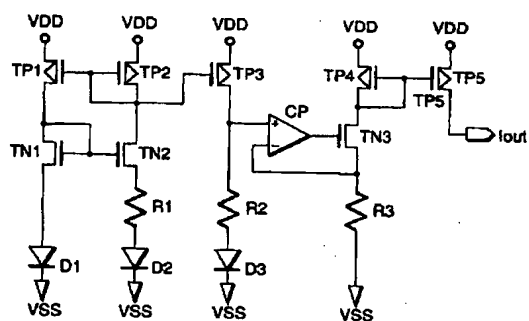
【図9】



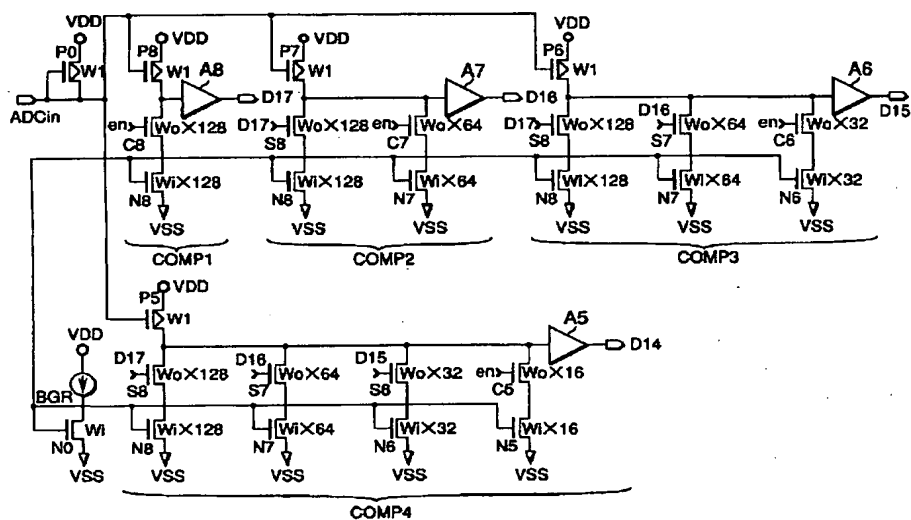
【図11】



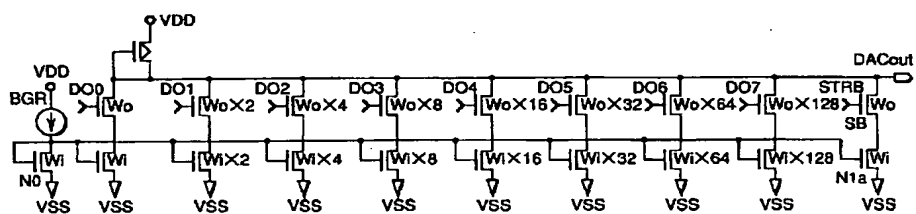
【圖 15】



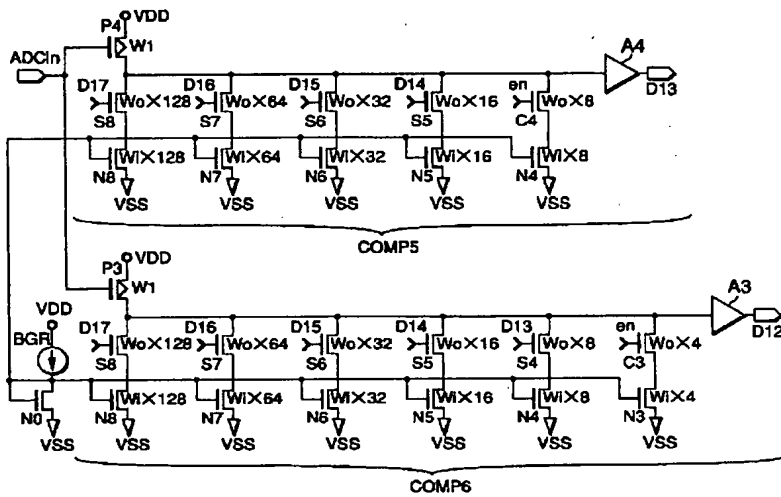
【圖 12】



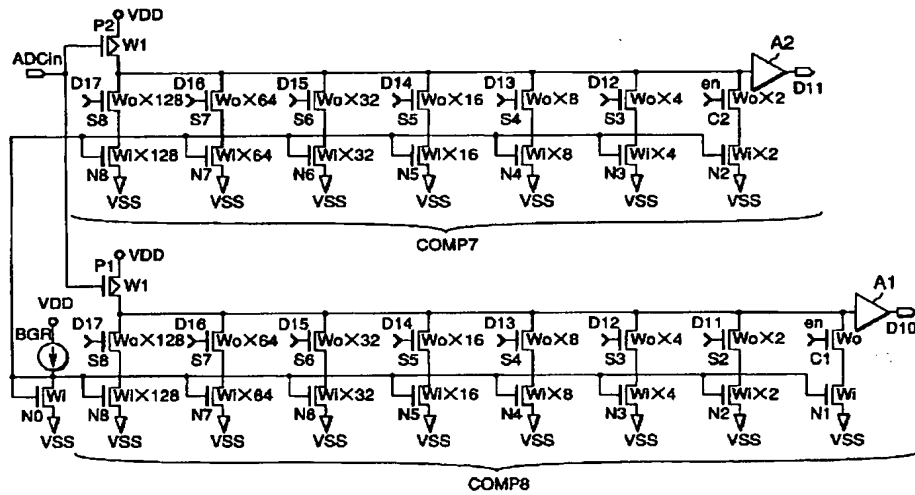
【圖20】



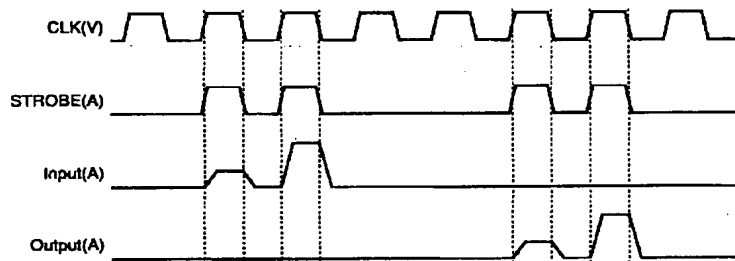
【図13】



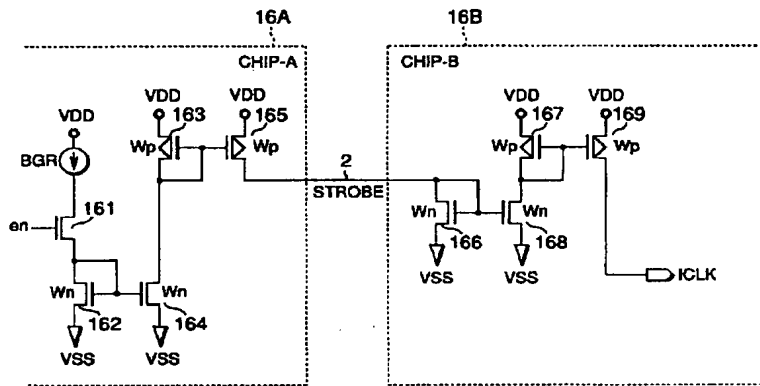
【図14】



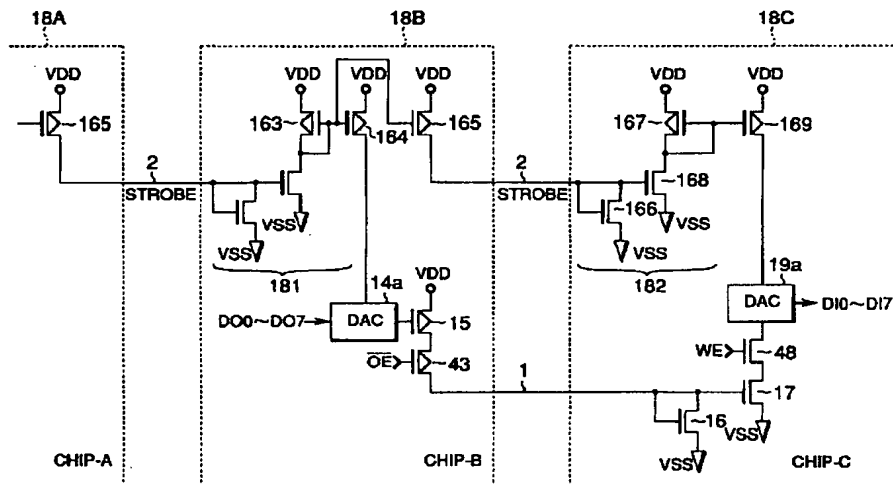
【図17】



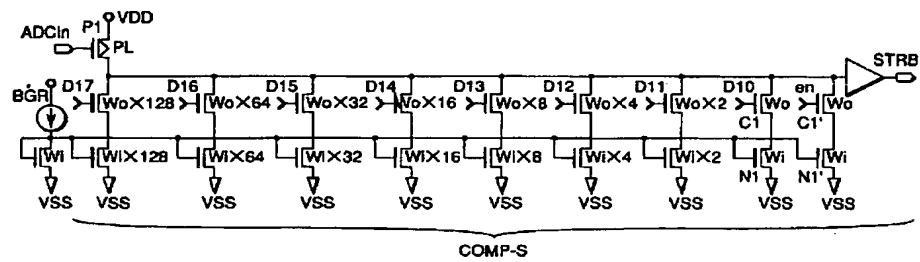
【图 16】



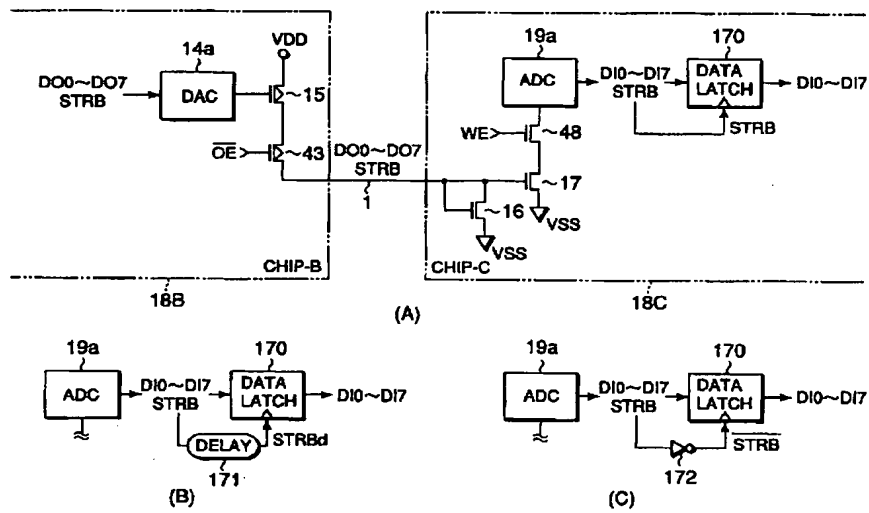
【圖 18】



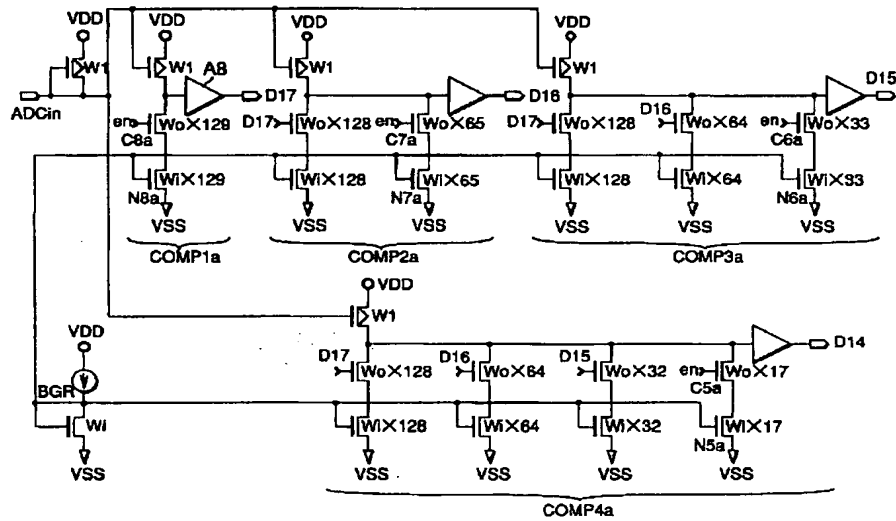
【圖 24】



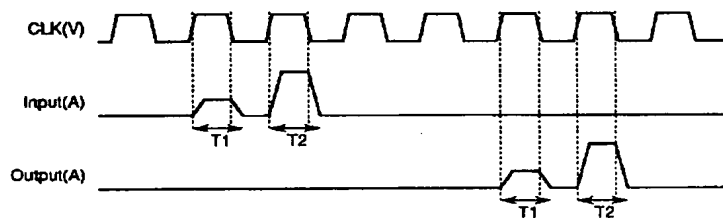
【図19】



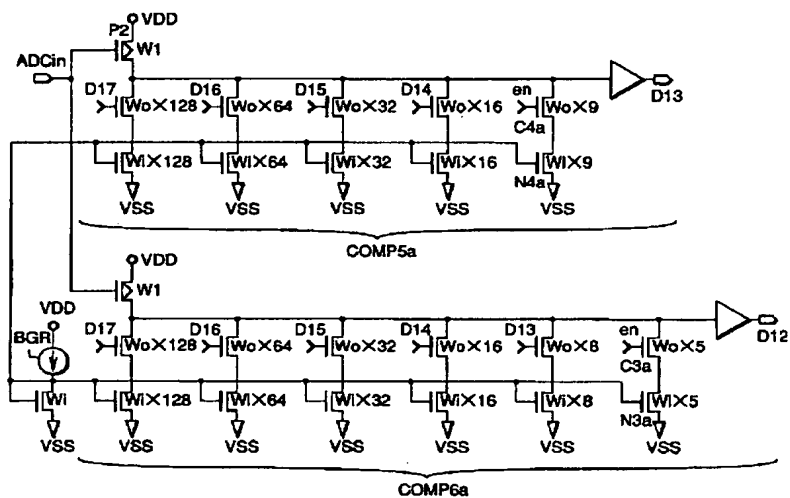
【図21】



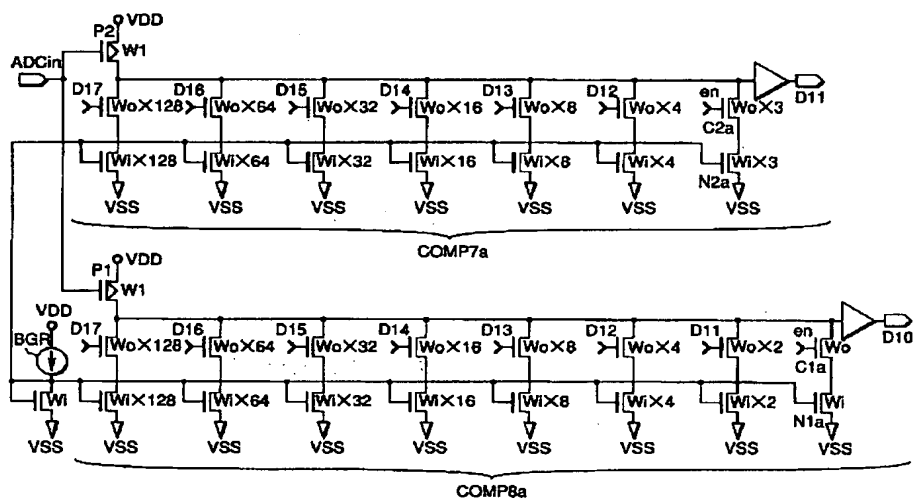
【図25】



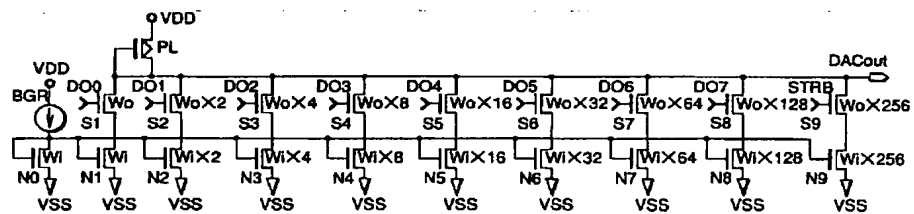
【図22】



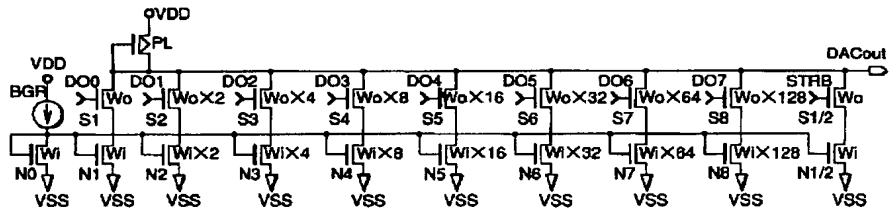
【図23】



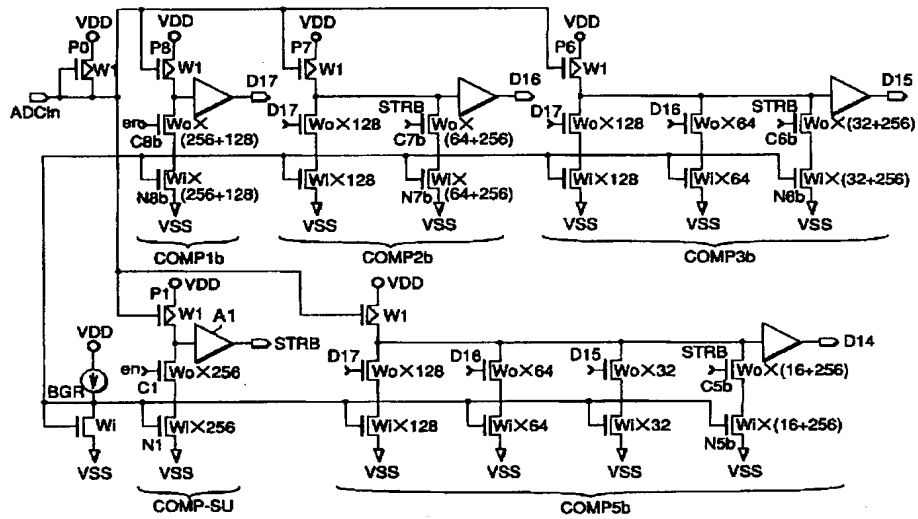
【図26】



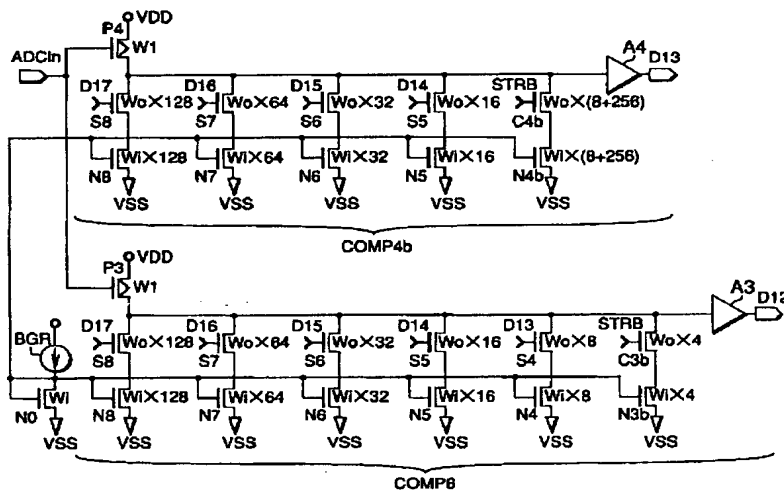
【圖 27】



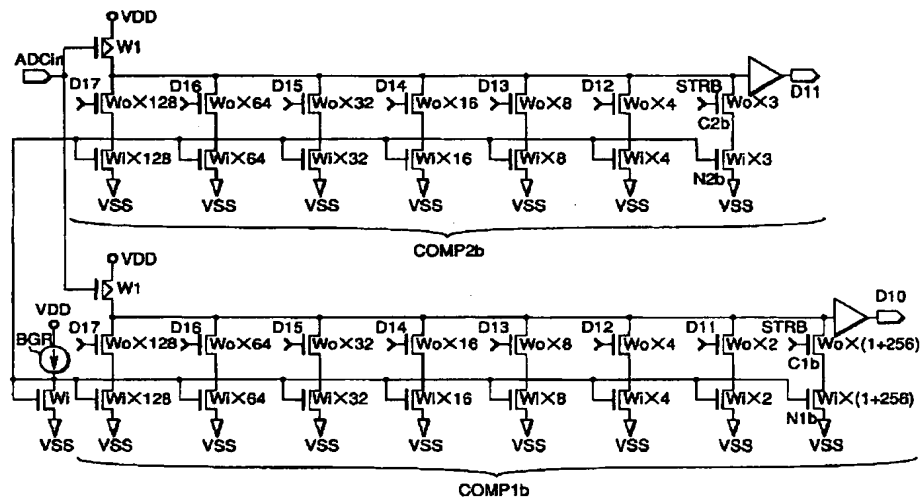
【図 28】



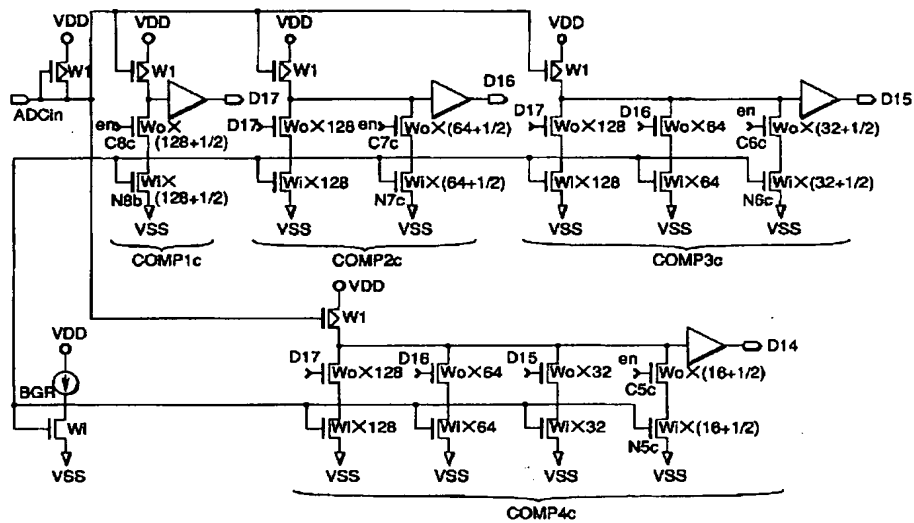
【图 29】



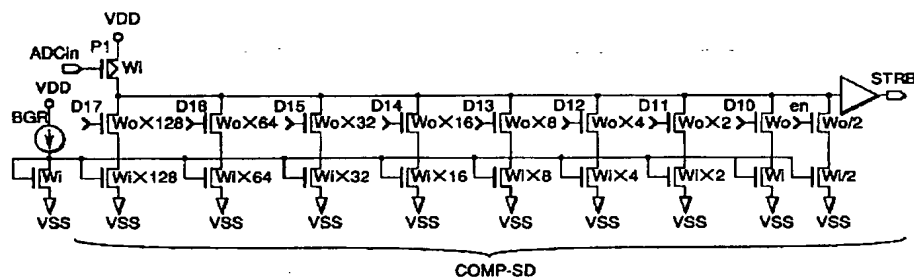
【図30】



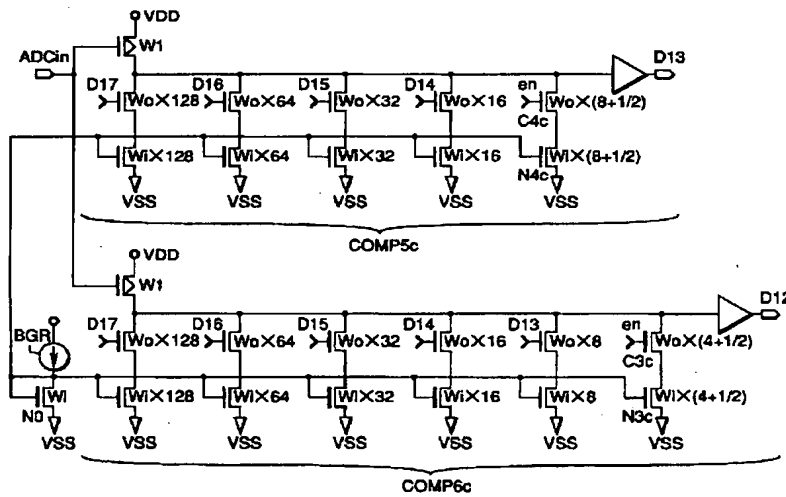
【図31】



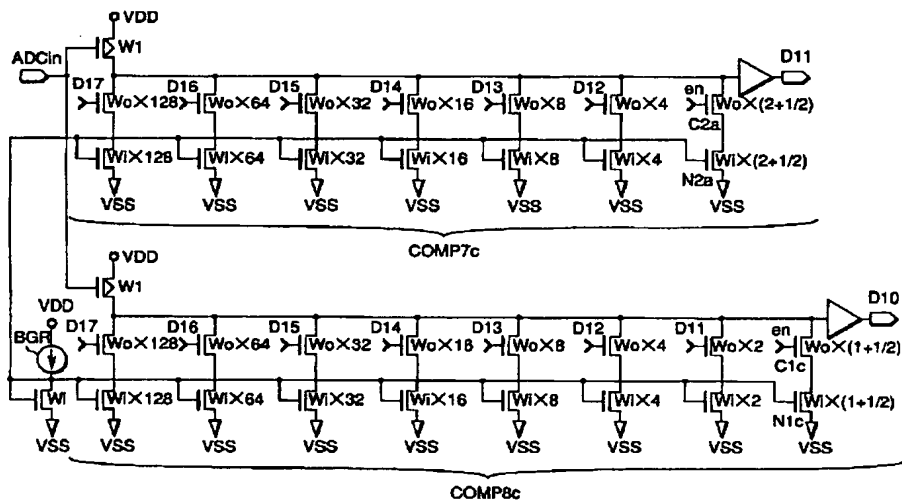
【図34】



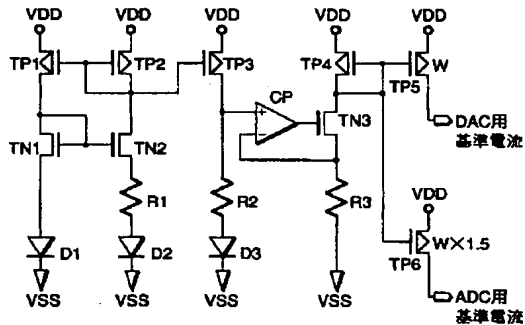
【図32】



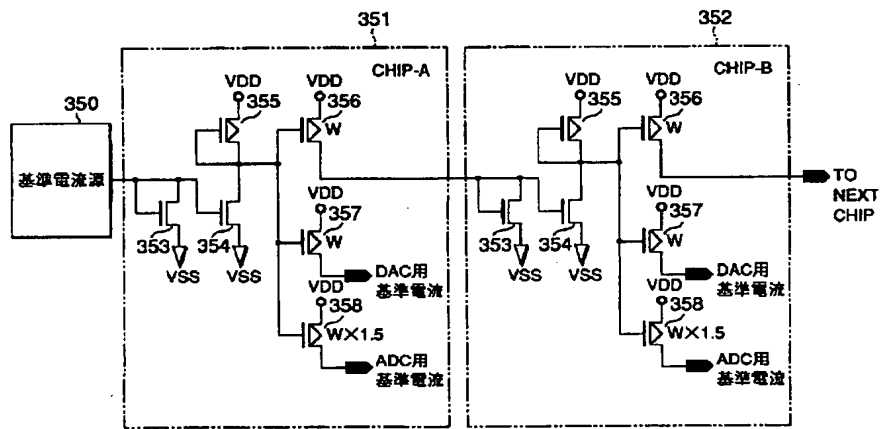
【図33】



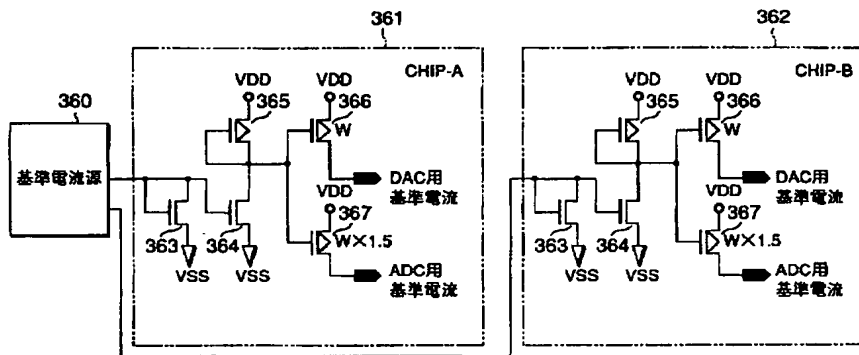
【図35】



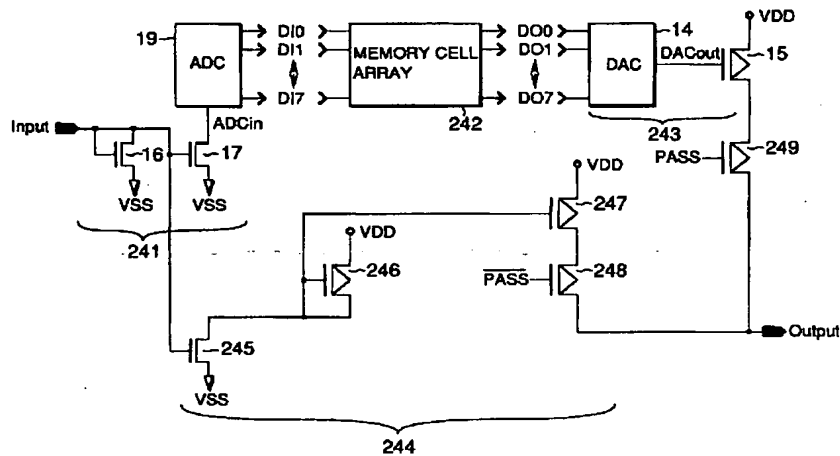
【図36】



【図37】



【図38】

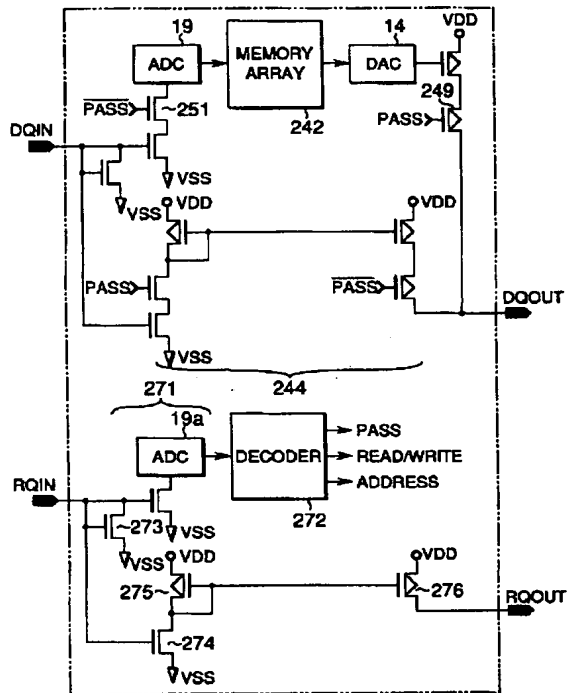


The diagram shows a digital-to-analog converter (244) with the following components and connections:

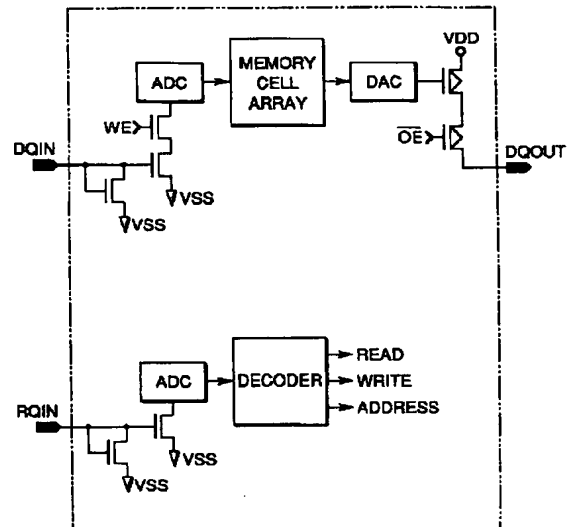
- Input Section:** An input signal **IN** is connected to a multiplexer (MUX) 251. The MUX 251 has two data inputs: one connected to **VSS** and another connected to a PMOS transistor 246. The gate of transistor 246 is connected to **VDD**, and its source is connected to **VSS**. A control signal **PASS** is connected to the gate of transistor 246.
- Processing Section:** The output of MUX 251 is connected to an ADC 19. The output of the ADC 19 is connected to a second multiplexer (MUX) 252. MUX 252 has two data inputs: one from the ADC 19 and another connected to a PMOS transistor 245. The gate of transistor 245 is connected to **VDD**, and its source is connected to **VSS**. A control signal **PASS** is connected to the gate of transistor 245.
- Storage Section:** The output of MUX 252 is connected to two registers: REGISTER (A) 242 and REGISTER (B) 253. REGISTER (A) 242 is connected to a MEMORY CELL ARRAY 252. REGISTER (B) 254 is also connected to the MEMORY CELL ARRAY 252.
- Output Section:** The output of the MEMORY CELL ARRAY 252 is connected to a third multiplexer (MUX) 255. The output of MUX 255 is connected to a DAC 14. The output of the DAC 14 is connected to a PMOS transistor 247 and a PMOS transistor 248. The gate of transistor 247 is connected to **VDD**, and its source is connected to **VSS**. The gate of transistor 248 is connected to **VDD**, and its source is connected to **VSS**. A control signal **PASS** is connected to the gates of both transistors 247 and 248.
- Output:** The output of the DAC 14 is connected to a PMOS transistor 249. The gate of transistor 249 is connected to **VDD**, and its source is connected to **VSS**. A control signal **PASS** is connected to the gate of transistor 249. The output of transistor 249 is connected to the final output **OUT**.

Figure 1 is a block diagram of a memory control system. It includes a memory controller (291) and four DRAM units (292). The memory controller (291) is connected to the first DRAM unit (292) via input (1a) and output (1b). The DRAM units are connected in a chain, with each unit connected to the next. A power supply (293) is connected to the memory controller (291).

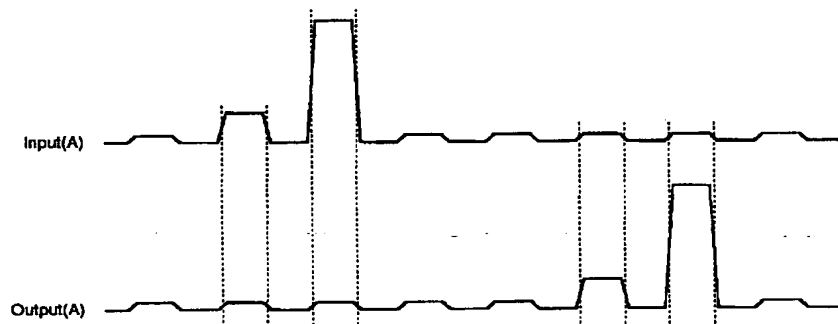
【図41】



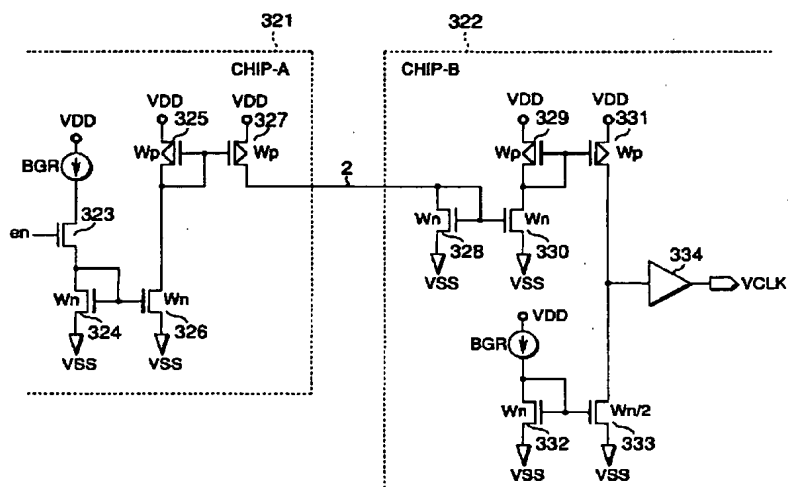
【図42】



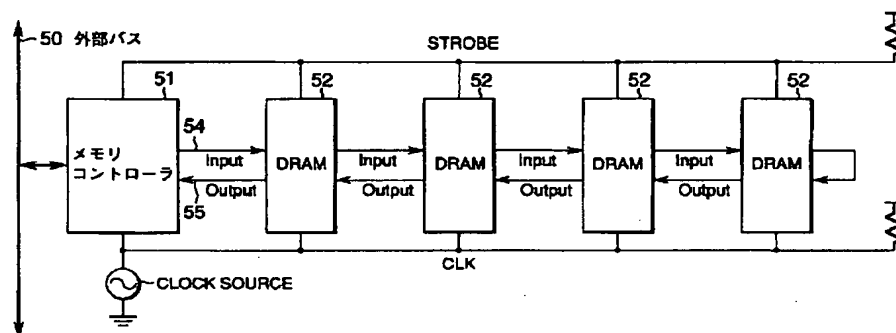
【図44】



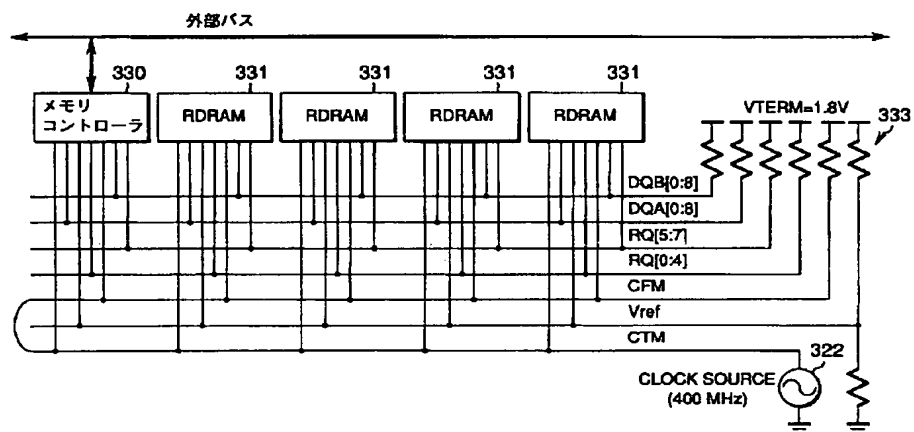
【図45】



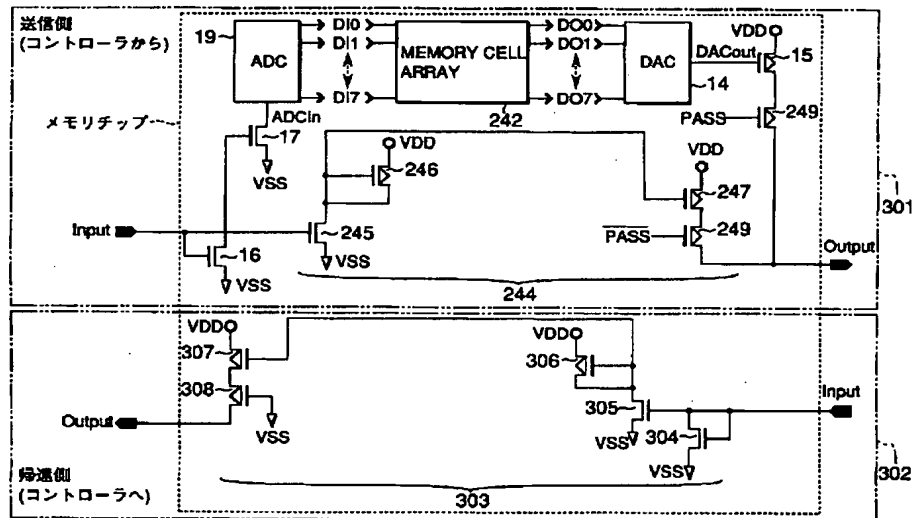
【図46】



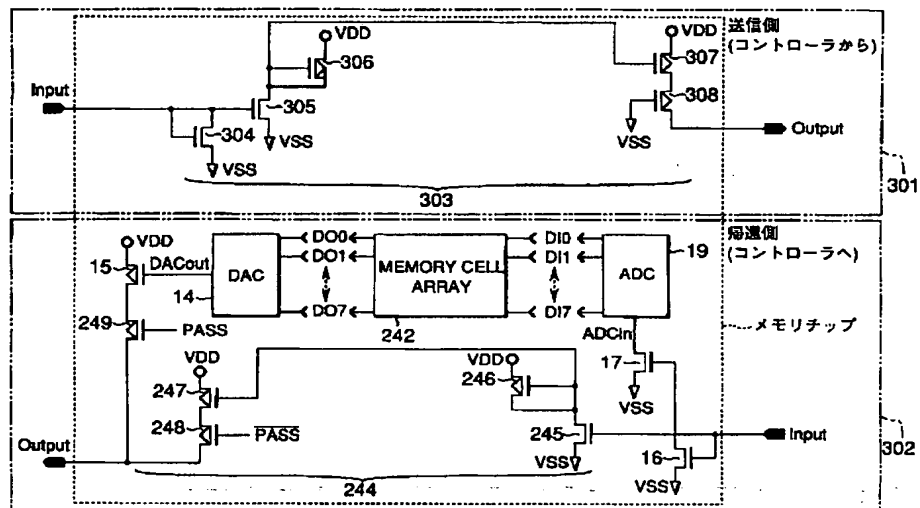
【図57】



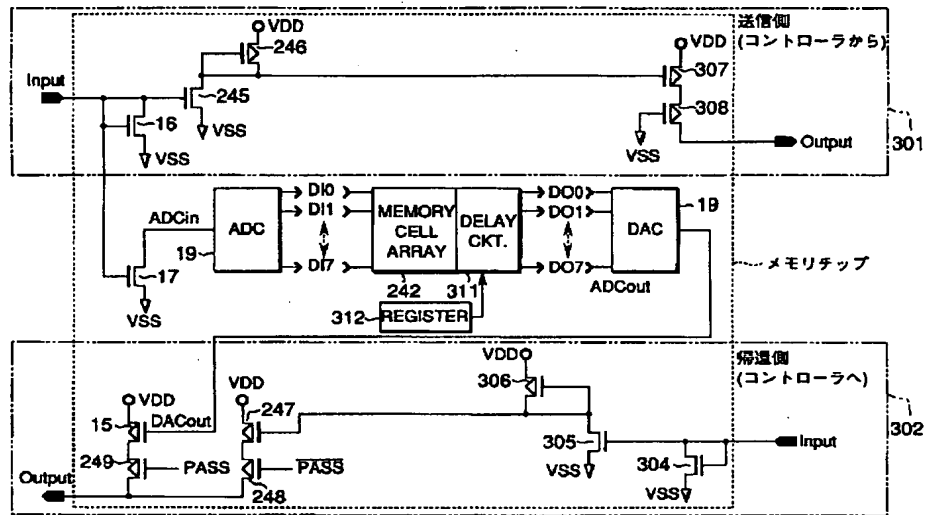
【図47】



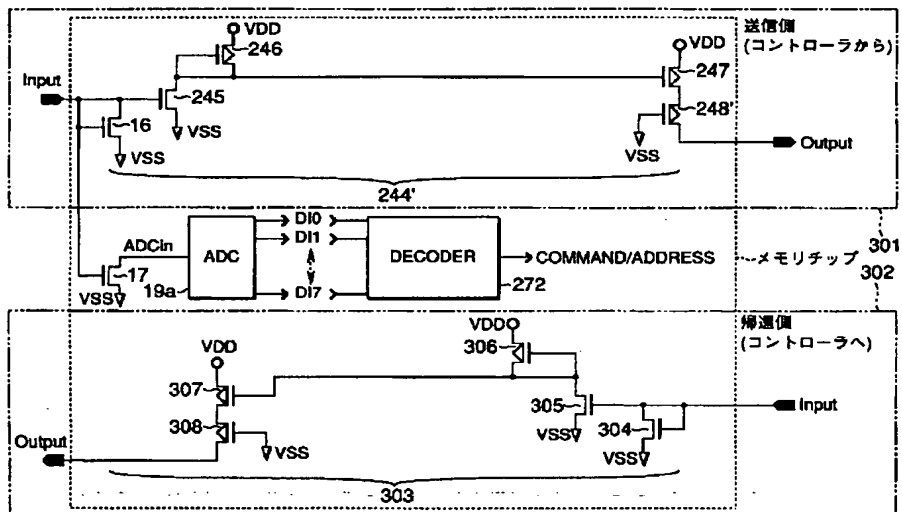
【図48】



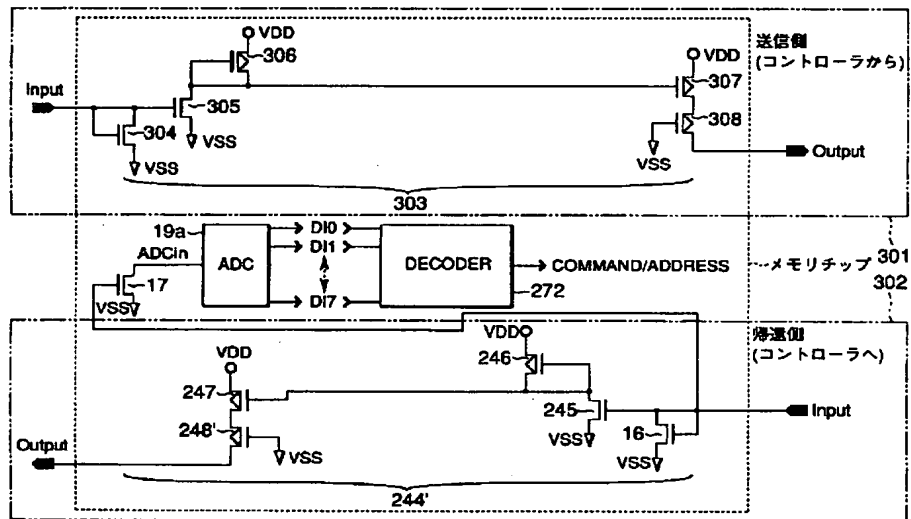
【図49】



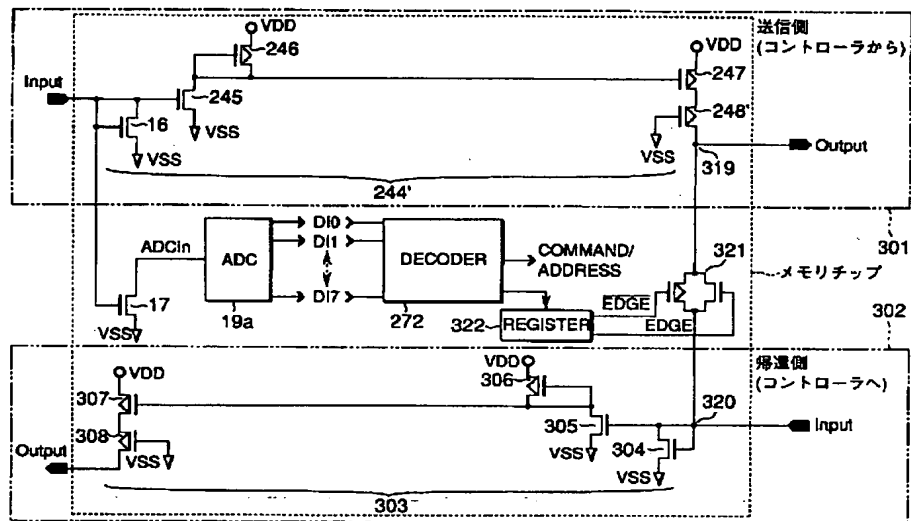
【図50】



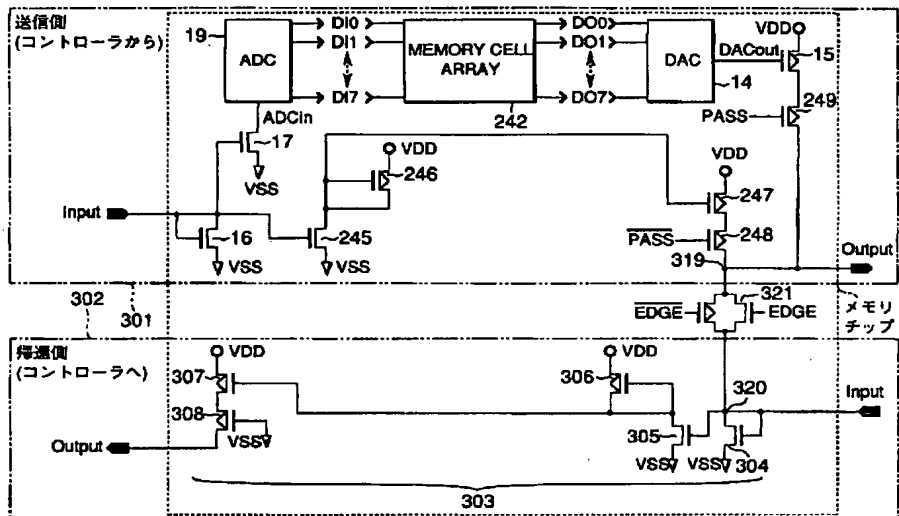
【図51】



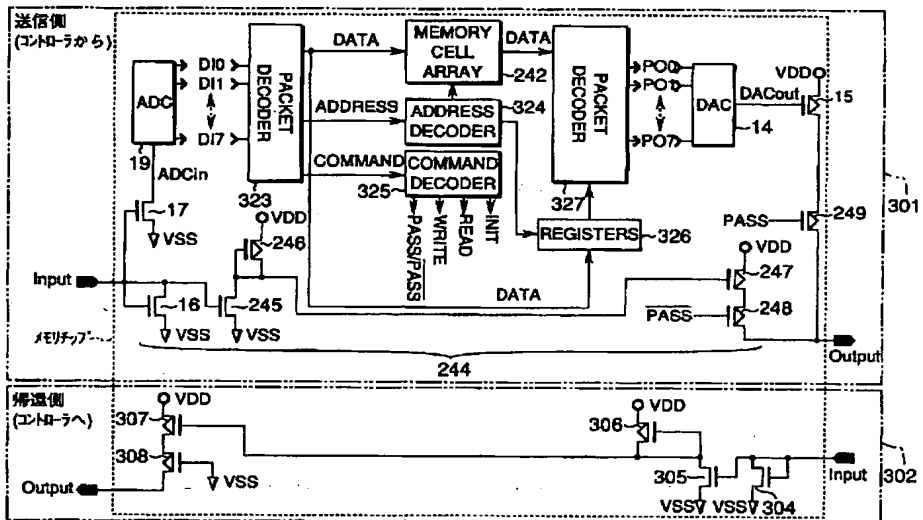
【図52】



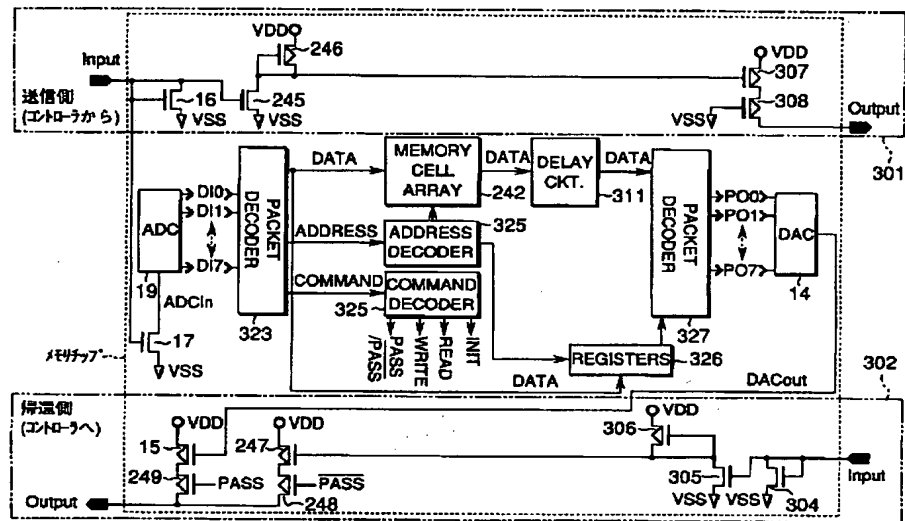
【圖 5 3】



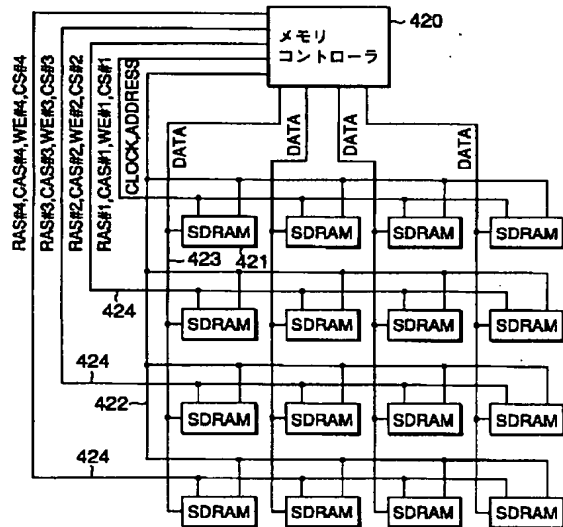
【图 5 4】



【図55】



【図56】



フロントページの続き

(51)Int.Cl.⁷

H03K 19/096

識別記号

F I

H03K 19/00

テーマコード(参考)

101S